



PATENT ABSTRACTS OF JAPAN

(11) Publication number: 05020349 A

(43) Date of publication of application: 29.01.93

(51) Int. Cl.

G06F 15/324

G06F 15/347

(21) Application number: 03173616

(22) Date of filing: 15.07.91

(71) Applicant: MATSUSHITA ELECTRIC IND CO LTD

(72) Inventor: MOCHIZUKI YOSHIYUKI

(54) LINEAR CALCULATION DEVICE

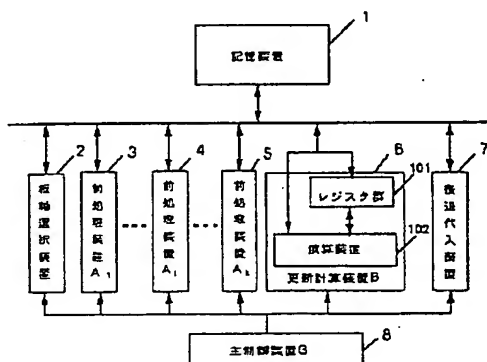
(57) Abstract:

PURPOSE: To provide high-speed linear calculation device and parallel linear calculation device which accord with algorithms of the Gauss' elimination method and the Gauss-Jourdan method based on multipivot array simultaneous elimination calculation for the purpose of solving simultaneous linear equations by the direct method.

CONSTITUTION: The coefficient matrix, the unknown vector, and the known vector of given simultaneous linear equations are stored in a storage device 1, and the preprocessing from a first stage to a k-th stage of k-pivot array simultaneous elimination calculation is performed by preprocessing devices A_1 3, A_4 4, and A_k 5 while selecting pivots by a pivot selecting device 2, and an update calculation device B6 performs update calculation for k-pivot array simultaneous elimination calculation with a variable Reg in a register group 101, and this operation is repeated to complete pre-elimination, and thereafter, backward substitution is performed by a backward substitution device 7 to obtain a solution. These operations in the whole of the

device are controlled by a main control G8.

COPYRIGHT: (C)1993,JPO&Japio



(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-20349

(43)公開日 平成5年(1993)1月29日

(51)Int.Cl.⁵

G 0 6 F 15/324

15/347

識別記号

庁内整理番号

6798-5L

K 6798-5L

F I

技術表示箇所

審査請求 未請求 請求項の数8(全 40 頁)

(21)出願番号 特願平3-173616

(22)出願日 平成3年(1991)7月15日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 望月 義幸

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

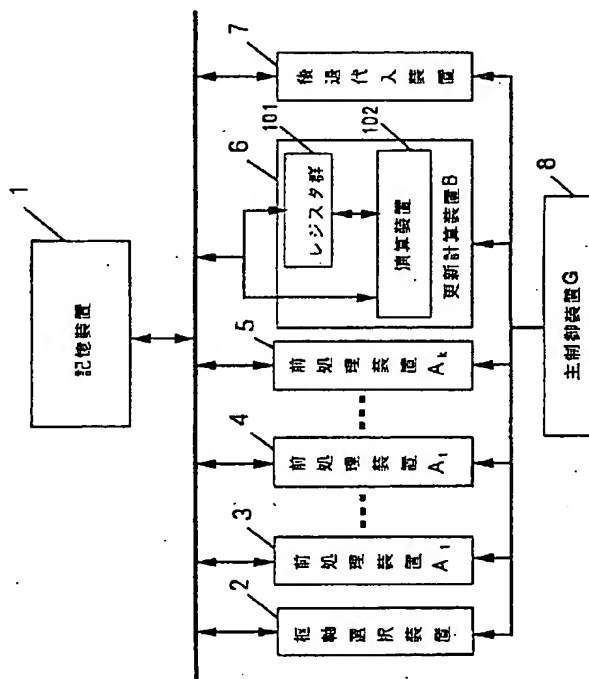
(74)代理人 弁理士 小鍛冶 明 (外2名)

(54)【発明の名称】 線形計算装置

(57)【要約】

【目的】直接法による連立1次方程式求解のために、多枢軸列同時消去計算に基づくガウス消去法やガウス・ヨルダン法のアルゴリズムによる高速な線形計算装置、及び並列線形計算装置の提供を目的とする。

【構成】記憶装置1に与えられた連立1次方程式の係数行列、未知数ベクトル、既知数ベクトルを記憶し、枢軸選択装置2で枢軸選択を行いながら、前処理装置A₁3、前処理装置A_t4、前処理装置A_k5により、k枢軸列同時消去計算の際の第1段階から第k段階までの前処理を行い、更新計算装置B6はk枢軸列同時消去計算の際の更新計算をレジスタ群101に変数Regを保持した状態で行い、以上の操作を繰り返すことで、前進消去を完了させた後、後退代入装置7で後退代入を行い解を求める。以上の装置全体の制御を主制御装置G8が行う。



【特許請求の範囲】

【請求項1】与えられた連立1次方程式を $Ax = b$ [但し、 $A = (a_{ij})$ は係数行列、 $1 \leq i, j \leq n$ 、 $x = (x_1, x_2, \dots, x_n)^t$ は未知数ベクトル、 $b = (b_1, b_2, \dots, b_n)^t$ は既知数ベクトル] とし、第 r 列までの、消去が行われたときの係数行列 A を

$$b^{(r)} = (b_1^{(r)}, b_2^{(r)}, \dots, b_n^{(r)})^t,$$

で表し、 k を1以上の整数とすると、

前記係数行列と既知数ベクトルと未知数ベクトルを記憶する記憶装置と、

前記記憶装置と接続され、前記係数行列の行方向に検索を行い、列交換の方法によって要素交換をして、枢軸選択を行う枢軸選択装置と、

前記記憶装置と接続され、前記記憶装置に格納された係数行列の第 $pk+1$ 行の各要素と既知数ベクトル b の第 $pk+1$ 成分に対して、前記枢軸選択装置によって、

【数3】

$$a_{pk+1, pk+1}^{(pk)},$$

の選択が行われた後、

【数4】

$$Reg_{pk+t}^{(1)} = a_{pk+t, pk+2}^{(pk)} - Reg_{pk+t}^{(0)} a_{pk+1, pk+2}^{(pk+1)},$$

...

【数8】

$$Reg_{pk+t}^{(t-2)} = a_{pk+t, pk+t-1}^{(pk)} - \sum_{m=1}^{t-2} Reg_{pk+t}^{(m-1)} a_{pk+m, pk+t-1}^{(pk+m)},$$

【数9】

$$a_{pk+t, j}^{(pk+t-1)} = a_{pk+t, j}^{(pk)} - \sum_{m=1}^{t-1} Reg_{pk+t}^{(m-1)} a_{pk+m, j}^{(pk+m)},$$

【数10】

$$b_{pk+t}^{(pk+t-1)} = b_{pk+t}^{(pk)} - \sum_{m=1}^{t-1} Reg_{pk+t}^{(m-1)} b_{pk+m}^{(pk+m)},$$

(但し、 $pk+t \leq j \leq n$) の計算を行い、前記記憶装置に格納された係数行列の第 $pk+t$ 行の各要素、既知数ベクトル b の第 $pk+t$ 成分に対して、前記枢軸選択装置によって、

【数11】

$$a_{pk+t, pk+t}^{(pk+t-1)},$$

の選択が行われた後、

【数12】

$$a_{pk+t, j}^{(pk+t)} = a_{pk+t, j}^{(pk+t-1)} / a_{pk+t, pk+t}^{(pk+t-1)},$$

【数13】

$$Reg_i^{(1)} = a_{i, pk+2}^{(pk)} - a_{i, pk+1}^{(pk)} \cdot a_{pk+1, pk+2}^{(pk+1)},$$

【数1】

$$A^{(r)} = (a_{ij}^{(r)}),$$

既知数ベクトル b を

【数2】

$$a_{pk+1, j}^{(pk+1)} = a_{pk+1, j}^{(pk)} / a_{pk+1, pk+1}^{(pk)},$$

【数5】

$$b_{pk+1}^{(pk+1)} = b_{pk+1}^{(pk)} / a_{pk+1, pk+1}^{(pk)},$$

(但し、 $pk+2 \leq j \leq n$) の計算を行う前処理装置 A

1と、

前記記憶装置と接続され、前記記憶装置に格納された係数行列の第 $pk+t$ 行の各要素及び、既知数ベクトル b の第 $pk+t$ 成分に対して、

【数6】

$$Reg_{pk+t}^{(0)} = a_{pk+t, pk+1}^{(pk)},$$

【数7】

$$Reg_{pk+t}^{(1)} = a_{pk+t, pk+2}^{(pk)} - Reg_{pk+t}^{(0)} a_{pk+1, pk+2}^{(pk+1)},$$

【数8】

$$Reg_{pk+t}^{(t-2)} = a_{pk+t, pk+t-1}^{(pk)} - \sum_{m=1}^{t-2} Reg_{pk+t}^{(m-1)} a_{pk+m, pk+t-1}^{(pk+m)},$$

【数9】

$$a_{pk+t, j}^{(pk+t-1)} = a_{pk+t, j}^{(pk)} - \sum_{m=1}^{t-1} Reg_{pk+t}^{(m-1)} a_{pk+m, j}^{(pk+m)},$$

【数10】

$$b_{pk+t}^{(pk+t-1)} = b_{pk+t}^{(pk)} - \sum_{m=1}^{t-1} Reg_{pk+t}^{(m-1)} b_{pk+m}^{(pk+m)},$$

(但し、 $pk+t \leq j \leq n$) の計算を行い、前記記憶装置に格納された係数行列の第 $pk+t$ 行の各要素、既知数ベクトル b の第 $pk+t$ 成分に対して、前記枢軸選択装置によって、

【数11】

$$a_{pk+t, pk+t}^{(pk+t-1)},$$

の選択が行われた後、

【数12】

$$a_{pk+t, j}^{(pk+t)} = a_{pk+t, j}^{(pk+t-1)} / a_{pk+t, pk+t}^{(pk+t-1)},$$

【数13】

$$Reg_i^{(1)} = a_{i, pk+2}^{(pk)} - a_{i, pk+1}^{(pk)} \cdot a_{pk+1, pk+2}^{(pk+1)},$$

$$b_{pk+t}^{(pk+t)} = b_{pk+t}^{(pk+t-1)} / a_{pk+t, pk+t}^{(pk+t-1)},$$

(但し、 $pk+t+1 \leq j \leq n$) の計算を行う $k-1$ 個の前処理装置 A_t ($t=2, 3, \dots, k$) と、

前記記憶装置と接続され、 k 個のレジスタからなるレジスタ群と演算装置で構成され、前記記憶装置に格納された係数行列の第 i 行の各要素に対して、

【数14】

$$Reg_i^{(0)} = a_{i, pk+1}^{(pk)},$$

【数15】

【数16】

$$\text{Reg}_i^{(k-1)} = a_{\{p+1\}k}^{(pk)} - \sum_{m=1}^{k-1} \text{Reg}_i^{(m-1)} a_{pk+m(p+1)}^{(pk+m)},$$

【数17】

$$a_{\{p+1\}k}^{(pk)} = a_{\{p\}k}^{(pk)} - \sum_{m=1}^k \text{Reg}_i^{(m-1)} a_{pk+m}^{(pk+m)},$$

【数18】

$$b_{\{p+1\}k}^{(pk)} = b_{\{p\}k}^{(pk)} - \sum_{m=1}^k \text{Reg}_i^{(m-1)} b_{pk+m}^{(pk+m)},$$

(但し、 $(p+1)k+1 \leq i$, $j \leq n$) の計算を変数Regを前記レジスタ群に保持した状態で行う更新計算装置Bと、 $n-[n/k]k+1 \leq i$ ($[x]$ はxを越えない最大の整数) ならば、前記枢軸選択装置、前記前処理装置A₁から前記前処理装置A_k及び前記更新計算装置Bに対して、前記枢軸選択装置、前記前処理装置A₁から前記前処理装置A_k及び前記更新計算装置Bでの一連の処理を $p=0$ から $p=[n/k]-2$ まで繰り返し行うように指示し、更に、 $p=[n/k]-1$ として、前記枢軸選択装置及び前記前処理装置A₁から前記前処理装置A_kに対して、前記枢軸選択装置及び前記前処理装置A₁から前記前処理装置A_kでの一連の処理を行うように指示し、 $n-[n/k]k+1 \leq i$ ならば、前記枢軸選択装置、前記前処理装置A₁から前記前処理装置A_k及び前記更新計算装置Bに対して、前記枢軸選択装置、前記前処理装置A₁から前記前処理装置A_k及び前記更新計算装置Bでの一連の処理を $p=0$ から $p=[n/k]-1$ まで繰り返し行うように指示し、更に、 $p=[n/k]$ として、前記枢軸選択装置、前記前処理装置A₁から前記前処理装置A_{n-[n/k]k}に対して、前記枢軸選択装置、前記前処理装置A₁から前記前処理装置A_{n-[n/k]k}までの一連の処理を行うように指示する主制御装置Gと、前記記憶装置と接続され、

【数19】

$$x_i = b_i^{(n)}$$

【数20】

$$b_i^{(r+1)} = b_i^{(r)} - a_{ij}^{(r)} x_j,$$

の2つの計算を行うことで前記未知数ベクトルxを求める後退代入装置とを備えたことを特徴とする線形計算装置。

【請求項2】 与えられた連立1次方程式を $Ax=b$ [但し、 $A=(a_{ij})$ は係数行列、 $1 \leq i, j \leq n$ 、 $x=(x_1, x_2, \dots, x_n)$ は未知数ベクトル、 $b=(b_1, b_2, \dots, b_n)$ は既知数ベクトル] とし、第r列までの消去が行われたときの、係数行列Aを(数1)、既知数ベクトルbを(数2)で表し、kを1以上の整数とすると

き、

前記係数行列と既知数ベクトルと未知数ベクトルを記憶する記憶装置と、

前記記憶装置と接続され、前記係数行列の行方向に検索を行い、列交換方法によって要素交換をして、枢軸選択を行う枢軸選択装置と、

前記記憶装置と接続され、前記記憶装置に格納された係数行列の第pk+1行の各要素と既知数ベクトルbの第pk+1成分に対して、前記枢軸選択装置によって、(数3)の選択が行われた後、(数4)、(数5) (但し、 $pk+2 \leq j \leq n$) の計算を行う前処理装置A₁と、

前記記憶装置と接続され、前記記憶装置に格納された係数行列の第pk+t行の各要素及び、既知数ベクトルbの第pk+t成分に対して、(数6)、(数7)、…、(数8)、(数9)、(数10) (但し、 $pk+t \leq j \leq n$) の計算を行い、前記記憶装置に格納された係数行列の第pk+t行の各要素、既知数ベクトルbの第pk+t成分に対して、前記枢軸選択装置によって、(数11)の選択が行われた後、(数12)、(数13) (但し、 $pk+t+1 \leq j \leq n$) の計算を行うk-1個の前処理装置A_t ($t=2, 3, \dots, k$) と、

前記記憶装置と接続され、k個のレジスタからなるレジスタ群と演算装置で構成され、前記記憶装置に格納された係数行列の第i行の各要素に対して、(数14)、

(数15)、…、(数16)、(数17)、(数18) (但し、 $1 \leq i \leq pk$ 、 $(p+1)k+1 \leq i \leq n$ 、 $(p+1)k+1 \leq j \leq n$) の計算を変数Regを前記レジスタ群に保持した状態で行う更新計算装置B' と、

前記記憶装置に接続され、前記記憶装置に格納された係数行列の第pk+1行から第pk+t行の各要素及び、既知数ベクトルbの第pk+1成分から第pk+t成分に対して、

【数21】

$$\text{Reg}^{(0)} = a_{pk+1, pk+t+1}^{(pk+t)},$$

【数22】

$$\text{Reg}^{(1)} = a_{pk+2, pk+t+1}^{(pk+t)},$$

…、

【数 2 3】

$$Reg^{(t-1)} = a_{pk+t, pk+t+1}^{(pk+t)}$$

【数 2 4】

$$a_{pk+1, j}^{(pk+t+1)} = a_{pk+1, j}^{(pk+t)} - Reg^{(0)} a_{pk+t+1, j}^{(pk+t+1)},$$

【数 2 5】

$$a_{pk+2, j}^{(pk+t+1)} = a_{pk+2, j}^{(pk+t)} - Reg^{(1)} a_{pk+t+1, j}^{(pk+t+1)},$$

【数 2 6】

$$a_{pk+t, j}^{(pk+t+1)} = a_{pk+t, j}^{(pk+t)} - Reg^{(t-1)} a_{pk+t+1, j}^{(pk+t+1)},$$

【数 2 7】

$$b_{pk+1}^{(pk+t+1)} = b_{pk+1}^{(pk+t)} - Reg^{(0)} b_{pk+t+1}^{(pk+t+1)},$$

【数 2 8】

$$b_{pk+2}^{(pk+t+1)} = b_{pk+2}^{(pk+t)} - Reg^{(1)} b_{pk+t+1}^{(pk+t+1)},$$

【数 2 9】

$$b_{pk+t}^{(pk+t+1)} = b_{pk+t}^{(pk+t)} - Reg^{(t-1)} b_{pk+t+1}^{(pk+t+1)},$$

(但し、 $pk+t+2 \leq j \leq n$) の計算を行う $k-1$ 個の後処理装置 C_t ($t=1, 2, \dots, k-1$) と、
 $n-[n/k]k=0$ ならば、前記枢軸選択装置、前記前処理装置 A_1 から前記前処理装置 A_k 、前記更新計算装置 B' 及び前記後処理装置 C_1 から前記後処理装置 C_{k-1} に対して、前記枢軸選択装置、前記前処理装置 A_1 から前記前処理装置 A_k 、前記更新計算装置 B' 及び前記後処理装置 C_1 から前記後処理装置 C_{k-1} での一連の処理を $p=0$ から $p=[n/k]-1$ まで繰り返し行うように指示し、
 $n-[n/k]k>0$ ならば、前記枢軸選択装置、前記前処理装置 A_1 から前記前処理装置 A_k 、前記更新計算装置 B' 及び前記後処理装置 C_1 から前記後処理装置 C_{k-1} に対して、前記枢軸選択装置、前記前処理装置 A_1 から前記前処理装置 A_k 、前記更新計算装置 B' 及び前記後処理装置 C_1 から前記後処理装置 C_{k-1} での一連の処理を $p=0$ から $p=[n/k]-1$ まで繰り返し、更に、 $p=[n/k]$ として、前記枢軸選択装置、前記前処理装置 A_1 から前記前処理装置 $A_{n-[n/k]k}$ 、前記更新計算装置 B' 及び前記後処理装置 C_1 から前記後処理装置 $C_{n-[n/k]k}$ に対して、前記枢軸選択装置、前記前処理装置 A_1 から前記前処理装置 $A_{n-[n/k]k}$ での一連の処理、前記更新計算装置 B' での枢軸数を $n-[n/k]k$ とした処理及び前記後処理装置 C_1 から前記後処理装置 $C_{n-[n/k]k}$ での一連の処理を行うように指示する主制御装置 J とを備えたことを特徴とする線形計算装置。

【請求項 3】与えられた連立 1 次方程式を $Ax=b$ [但し、 $A=(a_{ij})$ は係数行列、 $1 \leq i, j \leq n$ 、 $x=(x_1, x_2, \dots, x_n)$ は未知数ベクトル、 $b=(b_1, b_2, \dots, b_n)$ は既知数ベクトル] とし、第 r 列までの消去が行われたときの、係数行列 A を (数 1)、既知数ベ

クトル b を (数 2) で表し、 k を 1 以上の整数とすると

き、
 前記係数行列と既知数ベクトルと未知数ベクトルを記憶する記憶装置と、

前記記憶装置と接続され、前記係数行列の行方向に検索を行い、列交換の方法によって要素交換をして、枢軸選択を行う枢軸選択装置と、

前記記憶装置と接続され、1 個のレジスタからなるレジスタ群と演算装置によって構成され、前記記憶装置に格納された係数行列の第 $pk+1$ 行の各要素と既知数ベクトル b の第 $pk+1$ 成分に対して、前記枢軸選択装置によって、

(数 3) の選択が行われた後、(数 4)、(数 5) (但し、 $pk+2 \leq j \leq n$) の計算を (数 3) を前記レジスタ群のレジスタに保持した状態で行う前処理装置 A_1 と、

前記記憶装置と接続され、 $t-1$ 個のレジスタからなるレジスタ群と演算装置で構成され、前記記憶装置に格納された係数行列の第 $pk+t$ 行の各要素及び、既知数ベクトル b の第 $pk+t$ 成分に対して、(数 6)、(数 7)、

(数 8)、(数 9)、(数 10) (但し、 $pk+t \leq j$

$\leq n$) の計算を変数 Reg を前記レジスタ群のレジスタに保持した状態で行い、前記記憶装置に格納された係数行列の第 $pk+t$ 行の各要素、既知数ベクトル b の第 $pk+t$ 成分に対して、前記枢軸選択装置によって、(数 11) の選択が行われた後、(数 12)、(数 13) (但し、 $pk+t+1 \leq j \leq n$) の計算を (数 11) を前記レジスタ群のレジスタに保持した状態で行う $k-1$ 個の前処理装置 A_t ($t=2, 3, \dots, k$) と、

前記記憶装置と接続され、 k 個のレジスタからなるレジスタ群と演算装置で構成され、前記記憶装置に格納された係数行列の第 i 行の各要素に対して、(数 14)、

(数 15), ..., (数 16), (数 17), (数 18) (但し, $(p+1)k+1 \leq i, j \leq n$) の計算を変数 Reg を前記レジスタ群のレジスタに保持した状態で行う更新計算装置 B と、

$n-[n/k]k=0$ ならば、前記枢軸選択装置、前記前処理装置 A₁ から前記前処理装置 A_k 及び前記更新計算装置 B に対して、前記枢軸選択装置、前記前処理装置 A₁ から前記前処理装置 A_k 及び前記更新計算装置 B での一連の処理を $p=0$ から $p=[n/k]-2$ まで繰り返し行うように指示し、更に、 $p=[n/k]-1$ として、前記枢軸選択装置及び前記前処理装置 A₁ から前記前処理装置 A_k に対して、前記枢軸選択装置及び前記前処理装置 A₁ から前記前処理装置 A_k での一連の処理を行うように指示し、
 $n-[n/k]k>0$ ならば、前記枢軸選択装置、前記前処理装置 A₁ から前記前処理装置 A_k 及び前記更新計算装置 B に対して、前記枢軸選択装置、前記前処理装置 A₁ から前記前処理装置 A_k 及び前記更新計算装置 B での一連の処理を $p=0$ から $p=[n/k]-1$ まで繰り返し行うように指示し、更に、 $p=[n/k]$ として、前記枢軸選択装置及び前記前処理装置 A₁ から前記前処理装置 A _{$n-[n/k]k$} に対して、前記枢軸選択装置及び前記前処理装置 A₁ から前記前処理装置 A _{$n-[n/k]k$} までの一連の処理を行うように指示する主制御装置 G と、

前記記憶装置と接続され、(数 19)、(数 20) の 2 つの計算を行うことで前記未知数ベクトル x を求める後退代入装置とを備えたことを特徴とする線形計算装置。

【請求項 4】与えられた連立 1 次方程式を $Ax=b$ [但し、 $A=(a_{ij})$ は係数行列、 $1 \leq i, j \leq n$ 、 $x=(x_1, x_2, \dots, x_n)^T$ は未知数ベクトル、 $b=(b_1, b_2, \dots, b_n)^T$ は既知数ベクトル] とし、第 r 列までの消去が行われたときの、係数行列 A を (数 1)、既知数ベクトル b を (数 2) で表し、 k を 1 以上の整数とすると、

前記係数行列と既知数ベクトルと未知数ベクトルを記憶する記憶装置と、

前記記憶装置と接続され、前記係数行列の行方向に検索を行い、列交換方法によって要素交換をして、枢軸選択を行う枢軸選択装置と、

前記記憶装置と接続され、1 個のレジスタからなるレジスタ群と演算装置で構成され、前記記憶装置に格納された係数行列の第 $pk+1$ 行の各要素と既知数ベクトル b の第 $pk+1$ 成分に対して、前記枢軸選択装置によって、(数 3) の選択が行われた後、(数 4)、(数 5) (但し、 $pk+2 \leq j \leq n$) の計算を (数 3) を前記レジスタ群のレジスタに保持した状態で行う前処理装置 A₁ と、

前記記憶装置と接続され、 $t-1$ 個のレジスタからなるレジスタ群と演算装置で構成され、前記記憶装置に格納された係数行列の第 $pk+t$ 行の各要素及び、既知数ベクトル b の第 $pk+t$ 成分に対して、(数 6)、(数 7)、...、(数 8)、(数 9)、(数 10) (但し、 $pk+t \leq j$

$\leq n$) の計算を変数 Reg を前記レジスタ群のレジスタに保持した状態で行い、前記記憶装置に格納された係数行列の第 $pk+t$ 行の各要素、既知数ベクトル b の第 $pk+t$ 成分に対して、前記枢軸選択装置によって、(数 11) の選択が行われた後、(数 12)、(数 13) (但し、 $pk+t+1 \leq j \leq n$) の計算を (数 11) を前記レジスタ群のレジスタに保持した状態で行う $k-1$ 個の前処理装置 A_t ($t=2, 3, \dots, k$) と、

前記記憶装置と接続され、 k 個のレジスタからなるレジスタ群と演算装置で構成され、前記記憶装置に格納された係数行列の第 i 行の各要素に対して、(数 14)、

(数 15)、...、(数 16)、(数 17)、(数 18) (但し、 $1 \leq i \leq pk$ 、 $(p+1)k+1 \leq i \leq n$ 、 $(p+1)k+1 \leq j \leq n$) の計算を変数 Reg を前記レジスタ群のレジスタに保持した状態で行う更新計算装置 B' と、
 前記記憶装置に接続され、前記記憶装置に格納された係数行列の第 $pk+1$ 行から第 $pk+t$ 行の各要素及び、既知数ベクトル b の第 $pk+1$ 成分から第 $pk+t$ 成分に対して、(数 21)、(数 22)、...、(数 23)、(数 24)、(数 25)、...、(数 26)、(数 27)、(数 28)、...、(数 29) (但し、 $pk+t+2 \leq j \leq n$) の計算を行う $k-1$ 個の後処理装置 C_t ($t=1, 2, \dots, k-1$) と、

$n-[n/k]k=0$ ならば、前記枢軸選択装置、前記前処理装置 A₁ から前記前処理装置 A_k、前記更新計算装置 B' 及び前記後処理装置 C₁ から前記後処理装置 C _{$k-1$} に対して、前記枢軸選択装置、前記前処理装置 A₁ から前記前処理装置 A_k、前記更新計算装置 B' 及び前記後処理装置 C₁ から前記後処理装置 C _{$k-1$} での一連の処理を $p=0$ から $p=[n/k]-1$ まで繰り返し行うように指示し、
 $n-[n/k]k>0$ ならば、前記枢軸選択装置、前記前処理装置 A₁ から前記前処理装置 A_k、前記更新計算装置 B' 及び前記後処理装置 C₁ から前記後処理装置 C _{$k-1$} に対して、前記枢軸選択装置、前記前処理装置 A₁ から前記前処理装置 A_k、前記更新計算装置 B' 及び前記後処理装置 C₁ から前記後処理装置 C _{$k-1$} での一連の処理を $p=0$ から $p=[n/k]-1$ まで繰り返し、更に、 $p=[n/k]$ として、前記枢軸選択装置、前記前処理装置 A₁ から前記前処理装置 A _{$n-[n/k]k$} 、前記更新計算装置 B' 及び前記後処理装置 C₁ から前記後処理装置 C _{$n-[n/k]k$} に対して、前記枢軸選択装置、前記前処理装置 A₁ から前記前処理装置 A _{$n-[n/k]k$} での一連の処理、前記更新計算装置 B' での枢軸数を $n-[n/k]k$ とした処理及び前記後処理装置 C₁ から前記後処理装置 C _{$n-[n/k]k$} での一連の処理を行うように指示する主制御装置 J とを備えたことを特徴とする線形計算装置。

【請求項 5】与えられた連立 1 次方程式を $Ax=b$ [但し、 $A=(a_{ij})$ は係数行列、 $1 \leq i, j \leq n$ 、 $x=(x_1, x_2, \dots, x_n)^T$ は未知数ベクトル、 $b=(b_1, b_2, \dots, b_n)^T$ は既知数ベクトル] とし、第 r 列までの消

去が行われたときの、係数行列Aを(数1)、既知数ベクトルbを(数2)で表し、kを1以上の整数とすると、

前記係数行列と既知数ベクトルと未知数ベクトルを記憶する記憶装置と、前記記憶装置と接続され、前記係数行列の行方向に検索を行い、列交換の方法によって要素交換をして、枢軸選択を行う枢軸選択装置と、前記記憶装置と接続され、前記記憶装置に格納された係数行列の第pk+1行の各要素と既知数ベクトルbの第pk+1成分に対して、前記枢軸選択装置によって、(数3)の選択が行われた後、(数4)、(数5) (但し、 $pk+2 \leq j \leq n$) の計算を行う前処理装置A₁と、前記記憶装置と接続され、前記記憶装置に格納された係数行列の第pk+t行の各要素及び、既知数ベクトルbの第pk+t成分に対して、

(数6)、(数7)、…、(数8)、(数9)、(数10) (但し、 $pk+t \leq j \leq n$) の計算を行い、前記記憶装置に格納された係数行列の第pk+t行の各要素、既知数ベクトルbの第pk+t成分に対して、前記枢軸選択装置によって、(数11)の選択が行われた後、(数12)、(数13) (但し、 $pk+t+1 \leq j \leq n$) の計算を行うk-1個の前処理装置A_t (t=2,3, …, k) と、前記記憶装置と接続され、k個のレジスタからなるレジスタ群と演算装置で構成され、前記記憶装置に格納された係数行列の第i行の各要素に対して、(数14)、(数15)、…、(数16)、(数17)、(数18) (但し、 $(p+1)k+1 \leq i, j \leq n$) の計算を変数Regを前記レジスタ群に保持した状態で行う更新計算装置Bと、前記記憶装置と接続され、(数19)、(数20)の2つの計算を行うことで前記未知数ベクトルxを求める後代入装置と、前記記憶装置に接続された外部との中継点であるゲートウェイと、前記記憶装置に接続され、前記記憶装置中のデータを前記ゲートウェイを介して外部へ転送したり、外部のデータを前記ゲートウェイを介して前記記憶装置中に転送する転送装置とで構成されるノードを構成単位とし、

P個の前記ノードを仮にノードα₀、…、ノードα_{p-1}とすると、前記ノードα₀からノードα_{p-1}を互いにネットワークで接続したシステムにおいて、

$$Reg^{(t-1)}_i = a_{\{p_k+t\}}^{(p_k)} - \sum_{m=1}^{t-1} Reg^{(m-1)}_i a_{\{p_k+m\}}^{(p_k+m)} ,$$

の計算を行い、前記ノードα_uに、前記係数行列の第(pk+1)行から第((p+1)k)行以外の行も割り付けられているときは、前記ノードα_u内の前記更新計算装置Bでも、

(数30)の計算を行う処理を並列前処理A_t (但し、t=2,3, …, k) とし、前記ノード内の前記記憶装置に格納されている前記係数行列の第(p+1)k+1行から第n行に対して、各行を担当する全ての前記ノード内の前記更新計算装置Bで、(数17)、(数18) (但し、 $(p+1)k+1 \leq i, j \leq n$) の計算を変数Regを前記レジスタ群に

前記ノードα₀からノードα_{p-1}に対し、前記ノードα₀からノードα_{p-1}の前記記憶装置へ順に、前記連立1次方程式の係数行列はk行づつ、既知数ベクトル、未知数ベクトルは、前記係数行列を割付けた行番号と等しい成分番号の成分をk成分づつ割付けていき、1巡目で割付けが終わらないときは、更に2巡目、3巡目と繰り返す、前記係数行列、既知数ベクトル、未知数ベクトルの要素全てを割付ける処理を割付け処理とし、前記係数行列の第(pk+1)行から第((p+1)k)行を保持している前記記憶装置を有する前記ノードをノードα_u (0 ≤ u ≤ P-1) とするとき、

前記ノードα_u内の前記前処理装置A₁で、前記記憶装置に格納された前記係数行列の第pk+1行の各要素と既知数ベクトルbの第pk+1成分に対して、前記枢軸選択装置によって、(数3)の選択が行われた後、(数4)、(数5) (但し、 $pk+2 \leq j \leq n$) の計算を行い、計算結果を前記転送装置によって、その他の前記ノード内の前記記憶装置に転送し、その間他の前記ノード内の前記記憶装置に格納されている前記係数行列の各行に対して、前記更新計算装置Bで、(数14)の計算を行い、前記ノードα_uに、前記係数行列の第(pk+1)行から第((p+1)k)行以外の行も割り付けられているときは、前記ノードα_u内の前記更新計算装置Bでも、

(数14)の計算を行う処理を並列前処理A₁とし、前記ノードα_u内の前記前処理装置A_tで、前記記憶装置に格納された係数行列の第pk+t行の各要素及び、既知数ベクトルbの第pk+t成分に対して、(数6)、(数7)、…、(数8)、(数9)、(数10) (但し、 $pk+t \leq j \leq n$) の計算を行い、前記記憶装置に格納された係数行列の第pk+t行の各要素、既知数ベクトルbの第pk+t成分に対して、前記枢軸選択装置によって、(数11)の選択が行われた後、(数12)、(数13) (但し、 $pk+t+1 \leq j \leq n$) の計算を行い、計算結果を前記転送装置によって、その他の前記ノード内の前記記憶装置に転送し、その間他の前記ノード内の前記記憶装置に格納されている前記係数行列の各行に対して、前記更新計算装置Bで、

【数30】

保持した状態で行う処理を並列更新処理Bとするとき、前記割付け処理を行った後、 $n-[n/k]k=0$ ならば、前記並列前処理A₁から前記並列前処理A_k及び前記並列更新処理Bをp=0からp=[n/k]-2まで繰り返し、更に、p=[n/k]-1として前記並列前処理A₁から前記並列前処理A_kまでを行うように各前記ノードに指示し、 $n-[n/k]k>0$ ならば、前記並列前処理A₁から前記並列前処理A_k及び前記並列更新処理Bをp=0からp=[n/k]-1まで繰り返し、更に、p=[n/k]として前記並列前処

理 A_1 から前記並列前処理 $A_n-[n/k]k$ までを行うように各前記ノードに指示し、前記処理終了後、各前記ノードの前記後退代入装置と前記転送装置を用いて前記未知数ベクトルの値を求めるよう指示する主制御装置 G_p とを備えたことを特徴とする並列線形計算装置。

【請求項6】与えられた連立1次方程式を $Ax=b$ [但し、 $A=(a_{ij})$ は係数行列、 $1 \leq i, j \leq n$ 、 $x=(x_1, x_2, \dots, x_n)^t$ は未知数ベクトル、 $b=(b_1, b_2, \dots, b_n)^t$ は既知数ベクトル]とし、第 r 列までの消去が行われたときの、係数行列 A を(数1)、既知数ベクトル b を(数2)で表し、 k を1以上の整数とすると、
前記係数行列と既知数ベクトルと未知数ベクトルを記憶する記憶装置と、前記記憶装置と接続され、前記係数行列の行方向に検索を行い、列交換の方法によって要素交換をして、枢軸選択を行う枢軸選択装置と、前記記憶装置と接続され、前記記憶装置に格納された係数行列の第 $pk+1$ 行の各要素と既知数ベクトル b の第 $pk+1$ 成分に対して、前記枢軸選択装置によって、(数3)の選択が行われた後、(数4)、(数5) (但し、 $pk+2 \leq j \leq n$)の計算を行う前処理装置 A_1 と、前記記憶装置と接続され、前記記憶装置に格納された係数行列の第 $pk+t$ 行の各要素及び、既知数ベクトル b の第 $pk+t$ 成分に対して、(数6)、(数7)、 \dots 、(数8)、(数9)、(数10) (但し、 $pk+t \leq j \leq n$)の計算を行い、前記記憶装置に格納された係数行列の第 $pk+t$ 行の各要素、既知数ベクトル b の第 $pk+t$ 成分に対して、前記枢軸選択装置によって、(数11)の選択が行われた後、(数12)、(数13) (但し、 $pk+t+1 \leq j \leq n$)の計算を行う $k-1$ 個の前処理装置 A_t ($t=2, 3, \dots, k$)と、前記記憶装置と接続され、 k 個のレジスタからなるレジスタ群と演算装置で構成され、前記記憶装置に格納された係数行列の第 i 行の各要素に対して、(数14)、(数15)、 \dots 、(数16)、(数17)、(数18) (但し、 $1 \leq i \leq pk, (p+1)k+1 \leq i \leq n, (p+1)k+1 \leq j \leq n$)の計算を変数 Reg を前記レジスタ群に保持した状態で行う更新計算装置 B' と、前記記憶装置に接続され、前記記憶装置に格納された係数行列の第 $pk+1$ 行から第 $pk+t$ 行の各要素及び、既知数ベクトル b の第 $pk+1$ 成分から第 $pk+t$ 成分に対して、(数21)、(数22)、 \dots 、(数23)、(数24)、(数25)、 \dots 、(数26)、(数27)、(数28)、 \dots 、(数29) (但し、 $pk+t+2 \leq j \leq n$)の計算を行う $k-1$ 個の後処理装置 C_t ($t=1, 2, \dots, k-1$)と、前記記憶装置に接続された外部との中継点であるゲートウェイと、前記記憶装置に接続され、前記記憶装置中のデータを前記ゲートウェイを介して外部へ転送したり、外部のデータを前記ゲートウェイを介して前記記憶装置中に転送する転送装置とで構成されるノードを構成単位とし、
 P 個の前記ノードを仮にノード $\alpha_0, \dots, \text{ノード} \alpha_{p-1}$

とするとき、前記ノード α_0 からノード α_{p-1} を互いにネットワークで接続したシステムにおいて、

前記ノード α_0 からノード α_{p-1} に対し、前記ノード α_0 からノード α_{p-1} の前記記憶装置へ順に、前記連立1次方程式の係数行列は k 行づつ、既知数ベクトル、未知数ベクトルは、前記係数行列を割付けた行番号と等しい成分番号の成分を k 成分づつ割付けていき、1巡目で割付けが終わらないときは、更に2巡目、3巡目と繰り返して、前記係数行列、既知数ベクトル、未知数ベクトルの要素全てを割付ける処理を割付け処理とし、

前記係数行列の第 $(pk+1)$ 行から第 $(p+1)k$ 行を保持している前記記憶装置を有する前記ノードをノード α_u ($0 \leq u \leq P-1$)とすると、

前記ノード α_u 内の前記前処理装置 A_1 で、前記記憶装置に格納された前記係数行列の第 $pk+1$ 行の各要素と既知数ベクトル b の第 $pk+1$ 成分に対して、前記枢軸選択装置によって、(数3)の選択が行われた後、(数4)、(数5) (但し、 $pk+2 \leq j \leq n$)の計算を行い、計算結果を前記転送装置によって、その他の前記ノード内の前記記憶装置に転送し、その間他の前記ノード内の前記記憶装置に格納されている前記係数行列の各行に対して、前記更新計算装置 B' で、(数14)の計算を行い、前記ノード α_u に、前記係数行列の第 $(pk+1)$ 行から第 $(p+1)k$ 行以外の行も割り付けられているときは、前記ノード α_u 内の前記更新計算装置 B' でも、(数14)の計算を行う処理を並列前処理 A_1 とし、

前記ノード α_u 内の前記前処理装置 A_t で、前記記憶装置に格納された係数行列の第 $pk+t$ 行の各要素及び、既知数ベクトル b の第 $pk+t$ 成分に対して、(数6)、(数7)、 \dots 、(数8)、(数9)、(数10) (但し、 $pk+t \leq j \leq n$)の計算を行い、前記記憶装置に格納された係数行列の第 $pk+t$ 行の各要素、既知数ベクトル b の第 $pk+t$ 成分に対して、前記枢軸選択装置によって、(数11)の選択が行われた後、(数12)、(数13) (但し、 $pk+t+1 \leq j \leq n$)の計算を行い、計算結果を前記転送装置によって、その他の前記ノード内の前記記憶装置に格納されている前記係数行列の各行に対して、前記更新計算装置 B' で、(数30)の計算を行い、前記ノード α_u に、前記係数行列の第 $(pk+1)$ 行から第 $(p+1)k$ 行以外の行も割り付けられているときは、前記ノード α_u 内の前記更新計算装置 B' でも、(数30)の計算を行う処理を並列前処理 A_t (但し、 $t=2, 3, \dots, k$)とし、
前記ノード内の前記記憶装置に格納されている前記係数行列の第 $(p+1)k+1$ 行から第 n 行に対して、各行を担当する全ての前記ノード内の前記更新計算装置 B' で、(数17)、(数18) (但し、 $1 \leq i \leq pk, (p+1)k+1 \leq i \leq n, (p+1)k+1 \leq j \leq n$)の計算を変数 Reg を前記レジスタ群に保持した状態で行う処理を並列更新処理 B' とし、

前記ノード α_u 内の前記後処理装置 C_1 から後処理装置 C_{k-1} で、前記記憶装置に格納された係数行列の第 $pk+1$ 行から第 $pk+t$ 行の各要素及び、既知数ベクトル b の第 $pk+1$ 成分から第 $pk+t$ 成分に対して、(数21)、(数22)、 \dots 、(数23)、(数24)、(数25)、 \dots 、(数26)、(数27)、(数28)、 \dots 、(数29) (但し、 $pk+t+2 \leq j \leq n$) の計算 ($t=1, 2, \dots, k-1$) を行う処理を後消去処理 C とすると、

前記割付け処理を行った後、 $n-[n/k]k=0$ ならば、前記並列前処理 A_1 から前記並列前処理 A_k 、前記並列更新処理 B' 及び前記後消去処理 C を $p=0$ から $p=[n/k]-1$ まで繰り返し行うように各前記ノードに指示し、

$n-[n/k]k>0$ ならば、前記並列前処理 A_1 から前記並列前処理 A_k 、前記並列更新処理 B' 及び前記後消去処理 C を $p=0$ から $p=[n/k]-1$ まで繰り返し、更に、 $p=[n/k]$ として並列前処理 A_1 から並列前処理 $A_{n-[n/k]k}$ までを行い、枢軸数を $n-[n/k]k$ とした前記並列更新処理 B' を行い、更に、前記後消去処理 C において、前記後処理装置 C_1 から後処理装置 $C_{n-[n/k]k}$ までの処理を行うように各前記ノードに指示する主制御装置 J_p とを備えたことを特徴とする並列線形計算装置。

【請求項7】与えられた連立1次方程式を $Ax=b$ [但し、 $A=(a_{ij})$ は係数行列、 $1 \leq i, j \leq n$ 、 $x=(x_1, x_2, \dots, x_n)$ は未知数ベクトル、 $b=(b_1, b_2, \dots, b_n)$ は既知数ベクトル]とし、第 r 列までの消去が行われたときの、係数行列 A を(数1)、既知数ベクトル b を(数2)で表し、 k を1以上の整数とすると、

前記係数行列の行方向に検索を行い、列交換の方法によって要素交換をして、枢軸選択を行う枢軸選択装置と、前記枢軸選択装置と接続され、前記係数行列の第 $pk+1$ 行の各要素と既知数ベクトル b の第 $pk+1$ 成分に対して、前記枢軸選択装置によって、(数3)の選択が行われた後、(数4)、(数5) (但し、 $pk+2 \leq j \leq n$) の計算を行う前処理装置 A_1 と、前記枢軸選択装置と接続され、前記係数行列の第 $pk+t$ 行の各要素及び、既知数ベクトル b の第 $pk+t$ 成分に対して、(数6)、(数7)、 \dots 、(数8)、(数9)、(数10) (但し、 $pk+t \leq j \leq n$) の計算を行い、前記係数行列の第 $pk+t$ 行の各要素、既知数ベクトル b の第 $pk+t$ 成分に対して、前記枢軸選択装置によって、(数11)の選択が行われた後、

(数12)、(数13) (但し、 $pk+t+1 \leq j \leq n$) の計算を行う $k-1$ 個の前処理装置 A_t ($t=2, 3, \dots, k$) と、前記枢軸選択装置と接続され、 k 個のレジスタからなるレジスタ群と演算装置で構成され、前記係数行列第 i 行の各要素に対して、(数14)、(数15)、 \dots 、

(数16)、(数17)、(数18) (但し、 $(p+1)k+1 \leq i, j \leq n$) の計算を変数 Reg を前記レジスタ群に保持した状態で更新計算装置 B と、前記枢軸選択装置と接続され、(数19)、(数20)の2つの計算を行

うことで前記未知数ベクトル x を求める後退代入装置と、前記枢軸選択装置に接続され、外部との中継点であるゲートウェイとで構成される要素プロセッサをクラスタの構成単位とし、 Pc 個の前記要素プロセッサを仮に $PE1, \dots, PE_{Pc}$ とすると、前記 Pc 個の要素プロセッサと、前記係数行列と既知数ベクトルと未知数ベクトルを記憶する記憶装置と、外部との中継点である C ゲートウェイと、前記記憶装置に接続され、データを前記 C ゲートウェイを介して外部との入出力転送を行う転送装置とを互いに接続したクラスタを構成単位とし、 C 個の前記クラスタを仮にクラスタ CL_0, \dots 、クラスタ CL_{p-1} とすると、前記クラスタ CL_0 からクラスタ CL_{p-1} を互いにネットワークで接続したシステムにおいて、前記クラスタ CL_0 からクラスタ CL_{p-1} に対し、前記クラスタ CL_0 からクラスタ CL_{p-1} の前記記憶装置へ順に、前記連立1次方程式の係数行列は k 行ずつ、既知数ベクトル、未知数ベクトルは、前記係数行列を割付けた行番号と等しい成分番号の成分を k 成分ずつ割付けていき、1巡目で割付けが終わらないときは、更に2巡目、3巡目と繰り返し、前記係数行列、既知数ベクトル、未知数ベクトルの要素全てを割付ける処理を割付け処理とし、クラスタ内の前記要素プロセッサは順に、前記割り付処理で前記記憶装置に割り付けられた前記係数行列の1行ずつとそれに対応する既知数ベクトル、未知数ベクトルの1成分ずつの処理を担当するものとし、これにより、クラスタ内の要素プロセッサは少なくとも1行分の処理は行うものとし、

前記係数行列の第 $(p+1)k$ 行から第 $(p+1)k$ 行を保持している前記記憶装置を有する前記クラスタをクラスタ CL_u ($0 \leq u \leq P-1$) とするとき、

前記クラスタ CL_u 内の前記要素プロセッサへ、前記記憶装置に格納された前記係数行列の第 $pk+1$ 行の1列ずつと既知数ベクトル b の第 $pk+1$ 成分を1要素ずつ順に担当を割付け、前記要素プロセッサの前記枢軸選択装置によって、(数3)の選択が行われた後、前記要素プロセッサの前記前処理装置 A_1 で一斉に、(数4)、(数5) (但し、 $pk+2 \leq j \leq n$) の計算を行い、計算結果を前記クラスタ CL_u の前記転送装置によって、その他の前記クラスタ内の前記記憶装置に転送し、

その間他の前記クラスタ内の前記記憶装置に格納されている前記係数行列の各行に対して、前記要素プロセッサの前記更新計算装置 B で、(数14)の計算を行い、前記クラスタ CL_u に、前記係数行列の第 $(p+1)k$ 行から第 $(p+1)k$ 行以外の行も割り付けられているときは、前記クラスタ CL_u 内の前記要素プロセッサの前記更新計算装置 B でも、(数14)の計算を行う処理を並列前処理 CL_{A_1} とし、

前記クラスタ CL_u 内の前記要素プロセッサへ、前記記憶装置に格納された前記係数行列の第 $pk+t$ 行の1列ずつと既知数ベクトル b の第 $pk+t$ 成分を1要素ずつ順に担当を

割付け、(数6)、(数7)、…、(数8)、(数9)、(数10) (但し、 $pk+t \leq j \leq n$) の計算を前記要素プロセッサの前処理装置 A_t で、一斉に行い、前記記憶装置に格納された係数行列の第 $pk+t$ 行の各要素、既知数ベクトル b の第 $pk+t$ 成分に対して、前記要素プロセッサの前記枢軸選択装置によって、(数11) の選択が行われた後、前記要素プロセッサの前処理装置 A_t で一斉に、(数12) (数13) (但し、 $pk+t+1 \leq j \leq n$) の計算を行い、計算結果を前記クラスタ CL_0 の前記転送装置によって、その他の前記クラスタ内の前記記憶装置に転送し、その間他の前記クラスタ内の前記記憶装置に格納されている前記係数行列の各行に対して、前記要素プロセッサの前記更新計算装置 B で、(数30) の計算を行い、前記クラスタ CL_0 に、前記係数行列の第 $(pk+1)$ 行から第 $(p+1)k$ 行以外の行も割り付けられているときは、前記クラスタ CL_0 内の前記要素プロセッサの前記更新計算装置 B でも、(数30) の計算を行う処理を並列前処理 CLA_t (但し、 $t=2, 3, \dots, k$) とし、前記クラスタ内の前記記憶装置に格納されている前記係数行列の第 $(p+1)k+1$ 行から第 n 行に対して、各行を担当する全ての前記クラスタ内の前記要素プロセッサの前記更新計算装置 B で、(数17)、(数18) (但し、 $(p+1)k+1 \leq i, j \leq n$) の計算を変数 Reg を前記レジスタ群に保持した状態で行う処理を並列更新処理 Bc とするとき、

前記割付け処理を行った後、 $n-[n/k]k=0$ ならば、前記並列前処理 CLA_1 から前記並列前処理 CLA_k 及び前記並列更新処理 Bc を $p=0$ から $p=[n/k]-2$ まで繰り返し、更に、 $p=[n/k]-1$ として前記並列前処理 CLA_1 から前記並列前処理 CLA_k までを行うように各前記クラスタに指示し、 $n-[n/k]k>0$ ならば、前記並列前処理 CLA_1 から前記並列前処理 CLA_k 及び前記並列更新処理 Bc を $p=0$ から $p=[n/k]-1$ まで繰り返し、更に、 $p=[n/k]$ として前記並列前処理 CLA_1 から前記並列前処理 $CLA_{n-[n/k]k}$ までを行うように各前記クラスタに指示し、前記処理終了後、各前記クラスタ内の前記要素プロセッサの前記後退代入装置と前記転送装置を用いて前記未知数ベクトルの値を求めるよう指示する主制御装置 Gpc とを備えたことを特徴とする並列線形計算装置。

【請求項8】与えられた連立1次方程式を $Ax=b$ [但し、 $A=(a_{ij})$ は係数行列、 $1 \leq i, j \leq n$ 、 $x=(x_1, x_2, \dots, x_n)^T$ は未知数ベクトル、 $b=(b_1, b_2, \dots, b_n)^T$ は既知数ベクトル] とし、第 r 列までの消去が行われたときの、係数行列 A を(数1)、既知数ベクトル b を(数2)で表し、 k を1以上の整数とすると

き、前記係数行列の行方向に検索を行い、列交換の方法によって要素交換をして、枢軸選択を行う枢軸選択装置と、前記枢軸選択装置と接続され、前記係数行列の第 $pk+1$ 行の各要素と既知数ベクトル b の第 $pk+1$ 成分に対して、前

記枢軸選択装置によって、(数3) の選択が行われた後、(数4)、(数5) (但し、 $pk+2 \leq j \leq n$) の計算を行う前処理装置 A_1 と、前記枢軸選択装置と接続され、前記係数行列の第 $pk+t$ 行の各要素及び、既知数ベクトル b の第 $pk+t$ 成分に対して、(数6)、(数7)、…、(数8)、(数9)、(数10) (但し、 $pk+t \leq j \leq n$) の計算を行い、前記係数行列の第 $pk+t$ 行の各要素、既知数ベクトル b の第 $pk+t$ 成分に対して、前記枢軸選択装置によって、(数11) の選択が行われた後、

(数12) (数13) (但し、 $pk+t+1 \leq j \leq n$) の計算を行う $k-1$ 個の前処理装置 A_t ($t=2, 3, \dots, k$) と、前記枢軸選択装置と接続され、 k 個のレジスタからなるレジスタ群と演算装置で構成され、前記係数行列第 i 行の各要素に対して、(数14)、(数15)、…、(数16)、(数17)、(数18) (但し、 $1 \leq i \leq p$ 、 $(p+1)k+1 \leq i \leq n$ 、 $(p+1)k+1 \leq j \leq n$) の計算を変数 Reg を前記レジスタ群に保持した状態で行う更新計算装置 B' と、前記枢軸選択装置に接続され、前記係数行列の第 $pk+1$ 行から第 $pk+t$ 行の各要素及び、既知数ベクトル b の第 $pk+1$ 成分から第 $pk+t$ 成分に対して、(数21)、(数22)、…、(数23)、(数24) (数25)、…、(数26)、(数27)、(数28)、…、(数29) (但し、 $pk+t+2 \leq j \leq n$) の計算を行う $k-1$ 個の後処理装置 C_t ($t=1, 2, \dots, k-1$) と、前記枢軸選択装置に接続され、外部との中継点であるゲートウェイとで構成される要素プロセッサをクラスタの構成単位とし、 Pc 個の前記要素プロセッサを仮に $PE1, \dots, PEPc$ とするとき、前記 Pc 個の要素プロセッサと、前記係数行列と既知数ベクトルと未知数ベクトルを記憶する記憶装置と、外部との中継点である C ゲートウェイと、前記記憶装置に接続され、データを前記 C ゲートウェイを介して外部との入出力転送を行う転送装置とを互いに接続したクラスタを構成単位とし、

C 個の前記クラスタを仮にクラスタ CL_0, \dots 、クラスタ CL_{p-1} とするとき、前記クラスタ CL_0 からクラスタ CL_{p-1} を互いにネットワークで接続したシステムにおいて、前記クラスタ CL_0 からクラスタ CL_{p-1} に対し、前記クラスタ CL_0 からクラスタ CL_{p-1} の前記記憶装置へ順に、前記連立1次方程式の係数行列は k 行づつ、既知数ベクトル、未知数ベクトルは、前記係数行列を割付けた行番号と等しい成分番号の成分を k 成分づつ割付けていき、1巡目で割付けが終わらないときは、更に2巡目、3巡目と繰り返し、前記係数行列、既知数ベクトル、未知数ベクトルの要素全てを割付ける処理を割付け処理とし、クラスタ内の前記要素プロセッサは順に、前記割り付処理で前記記憶装置に割り付けられた前記係数行列の1行づつとそれに対応する既知数ベクトル、未知数ベクトルの1成分づつの処理を担当するものとし、これにより、クラスタ内の要素プロセッサは少なくとも1行分の処理は行うものとし、

前記係数行列の第 $(pk+1)$ 行から第 $((p+1)k)$ 行を保持している前記記憶装置を有する前記クラスタをクラスタ CL_u ($0 \leq u \leq P-1$) とするとき、

前記クラスタ CL_u 内の前記要素プロセッサへ、前記記憶装置に格納された前記係数行列の第 $pk+1$ 行の1列づつと既知数ベクトル b の第 $pk+1$ 成分を1要素づつ順に担当を割付け、前記要素プロセッサの前記枢軸選択装置によって、(数3)の選択が行われた後、前記要素プロセッサの前記前処理装置 A_1 で一斉に、(数4)、(数5)

(但し、 $pk+2 \leq j \leq n$)の計算を行い、計算結果を前記クラスタ CL_u の前記転送装置によって、その他の前記クラスタ内の前記記憶装置に転送し、

その間他の前記クラスタ内の前記記憶装置に格納されている前記係数行列の各行に対して、前記要素プロセッサの前記更新計算装置 B' で、(数14)の計算を行い、前記クラスタ CL_u に、前記係数行列の第 $(pk+1)$ 行から第 $((p+1)k)$ 行以外の行も割り付けられているときは、前記クラスタ CL_u 内の前記要素プロセッサの前記更新計算装置 B' でも、(数14)の計算を行なう処理を並列前処理 CLA_1 とし、

前記クラスタ CL_u 内の前記要素プロセッサへ、前記記憶装置に格納された前記係数行列の第 $pk+t$ 行の1列づつと既知数ベクトル b の第 $pk+t$ 成分を1要素づつ順に担当を割付け、(数6)、(数7)、 \dots 、(数8)、(数9)、(数10) (但し、 $pk+t \leq j \leq n$)の計算を前記要素プロセッサの前処理装置 A_t で、一斉に行い、前記記憶装置に格納された係数行列の第 $pk+t$ 行の各要素、既知数ベクトル b の第 $pk+t$ 成分に対して、前記要素プロセッサの前記枢軸選択装置によって、(数11)の選択が行われた後、前記要素プロセッサの前処理装置 A_t で一斉に、(数12)、(数13) (但し、 $pk+t+1 \leq j \leq n$)の計算を行い、計算結果を前記クラスタ CL_u の前記転送装置によって、その他の前記クラスタ内の前記記憶装置に転送し、その間他の前記クラスタ内の前記記憶装置に格納されている前記係数行列の各行に対して、前記要素プロセッサの前記更新計算装置 B' で、(数30)の計算を行い、前記クラスタ CL_u に、前記係数行列の第 $(pk+1)$ 行から第 $((p+1)k)$ 行以外の行も割り付けられているときは、前記クラスタ CL_u 内の前記要素プロセッサの前記更新計算装置 B' でも、(数30)の計算を行う処理を並列前処理 CLA_t (但し、 $t=2, 3, \dots, k$)とし、前記クラスタ内の前記記憶装置に格納されている前記係数行列の第 $(p+1)k+1$ 行から第 n 行に対して、各行を担当する全ての前記クラスタ内の前記要素プロセッサの前記更新計算装置 B' で、(数17)、(数18) (但し、 $1 \leq i \leq pk$, $(p+1)k+1 \leq i \leq n$, $(p+1)k+1 \leq j \leq n$)の計算を変数 Reg を前記レジスタ群に保持した状態で行う処理を並列更新処理 Bc' とし、

前記記憶装置に格納された係数行列の第 $pk+1$ 行から第 $pk+t$ 行の各要素及び、既知数ベクトル b の第 $pk+1$ 成分から

第 $pk+t$ 成分の自分の担当する要素に対して、(数21)、(数22)、 \dots 、(数23)、(数24)、 \dots 、(数25)、 \dots 、(数26)、(数27)、(数28)、 \dots 、(数29) (但し、 $pk+t+2 \leq j \leq n$)の計算を $t=1$ から $t=k-1$ まで t を固定する毎に、前記クラスタ CL_u 内の前記要素プロセッサの前記後処理装置 C_t で、一斉に行う処理を後消去処理 Cc とすると、前記割付け処理を行った後、 $n-[n/k]k=0$ ならば、前記並列前処理 CLA_1 から前記並列前処理 CLA_k 、前記並列更新処理 Bc' 及び前記後消去処理 Cc を $p=0$ から $p=[n/k]-1$ まで繰り返し行うように各前記クラスタに指示し、 $n-[n/k]k>0$ ならば、前記並列前処理 CLA_1 から前記並列前処理 CLA_k 、前記並列更新処理 Bc' 及び前記後消去処理 Cc を $p=0$ から $p=[n/k]-1$ まで繰り返し、更に、 $p=[n/k]$ として並列前処理 CLA_1 から並列前処理 $CL_{n-[n/k]k}$ までを行い、枢軸数を $n-[n/k]k$ とした前記並列更新処理 Bc' を行い、更に前記後消去処理 Cc において、前記後処理装置 C_1 から後処理装置 $C_{n-[n/k]k}$ までの処理を行うように各前記クラスタに指示する主制御装置 Jpc とを備えたことを特徴とする並列線形計算装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、連立1次方程式の求解を行う線形計算装置、及び並列線形計算装置に関するものである。

【0002】

【従来の技術】連立1次方程式の直接法の解法アルゴリズムの内、2枢軸列同時消去計算に基づくガウス消去法については、村田健郎、小国力、唐木幸比古「スーパーコンピュータ 科学技術への適用」、丸善、1985、pp95-96に記載されている。また、LU分解の立場から導出した多枢軸列同時消去計算に基づくガウス消去法と類似のアルゴリズムについては、ジム・アームストロング、"アルゴリズム アンド パフォーマンス ノーツ フォー ブロックスLU ファクタリゼーション"、1988、インターナショナル コンフェレンス オン パラレル プロセッシング、vol. 3、pp161-164 (Jim Armstrong, "ALGORITHM AND PERFORMANCE NOTES FOR BLOCK LUFACTORIZATION", 1988, International Conference on Parallel Processing, Vol. 3, pp161-164)に記載されている。しかし、ここでは、ベクトル計算機や演算器を多重化した計算機の場合が話題の中心であり、スカラー計算機を意識した多枢軸列同時消去計算に基づくガウス消去法やガウス・ヨルダン法のアルゴリズムについては、従来考えられていない。また、多枢軸列同時消去計算に基づくガウス消去法やガウス・ヨルダン法の並列解法アルゴリズムに関しても、従来考えられていない。

【0003】

【発明が解決しようとする課題】上記のように、スカラー計算機を意識した多枢軸列同時消去計算に基づくガウ

ス消去法やガウス・ヨルダン法のアルゴリズムについては、従来考えられておらず、また、多枢軸列同時消去計算に基づくガウス消去法やガウス・ヨルダン法の並列解法アルゴリズムに関しても、従来考えられていなかった。

【0004】本発明は上記点に鑑み、直接法による連立1次方程式の求解のために、多枢軸列同時消去計算に基づくガウス消去法やガウス・ヨルダン法のアルゴリズムによる高速な線形計算装置、及び並列計算装置の提供を目的とする。

【0005】

【課題を解決するための手段】上記問題点を解決するた

$$b^{(r)} = (b_1^{(r)}, b_2^{(r)}, \dots, b_n^{(r)})^T,$$

【0009】で表し、 k を1以上の整数とすると、前記係数行列と既知数ベクトルと未知数ベクトルを記憶する記憶装置と、前記記憶装置と接続され、前記係数行列の行方向に検索を行い、列交換の方法によって要素交換をして、枢軸選択を行う枢軸選択装置と、前記記憶装置と接続され、前記記憶装置に格納された係数行列の第 $pk+1$ 行の各要素と既知数ベクトル b の第 $pk+1$ 成分に対して、前記枢軸選択装置によって、

【0010】

【数33】

$$a_{pk+1, pk+1}^{(pk)},$$

【0011】の選択が行われた後、

【0012】

【数34】

$$a_{pk+1, j}^{(pk+1)} = a_{pk+1, j}^{(pk)} / a_{pk+1, pk+1}^{(pk)},$$

$$Reg_{pk+t}^{(1)} = a_{pk+t, pk+2}^{(pk)} - Reg_{pk+t}^{(0)} a_{pk+1, pk+2}^{(pk+1)},$$

【0017】、...

【0018】

$$Reg_{pk+t}^{(t-2)} = a_{pk+t, pk+t-1}^{(pk)} - \sum_{m=1}^{t-2} Reg_{pk+t}^{(m-1)} a_{pk+m, pk+t-1}^{(pk+m)},$$

【0019】

【数39】

$$a_{pk+t, j}^{(pk+t-1)} = a_{pk+t, j}^{(pk)} - \sum_{m=1}^{t-1} Reg_{pk+t}^{(m-1)} a_{pk+m, j}^{(pk+m)},$$

【0020】

【数40】

$$b_{pk+t}^{(pk+t-1)} = b_{pk+t}^{(pk)} - \sum_{m=1}^{t-1} Reg_{pk+t}^{(m-1)} b_{pk+m}^{(pk+m)},$$

【0021】(但し、 $pk+t \leq j \leq n$)の計算を行い、前記記憶装置に格納された係数行列の第 $pk+t$ 行の各要素、既知数ベクトル b の第 $pk+t$ 成分に対して、前記枢軸選択装置によって、

めに本発明の線形計算装置は、与えられた連立1次方程式を $Ax=b$ [但し、 $A=(a_{ij})$ は係数行列、 $1 \leq i, j \leq n$ 、 $x=(x_1, x_2, \dots, x_n)^T$ は未知数ベクトル、 $b=(b_1, b_2, \dots, b_n)^T$ は既知数ベクトル]とし、第 r 列までの消去が行われたときの係数行列 A を

【0006】

【数31】

$$A^{(r)} = (a_{ij}^{(r)}) ,$$

【0007】既知数ベクトル b を

【0008】

【数32】

$$b^{(r)} = (b_1^{(r)}, b_2^{(r)}, \dots, b_n^{(r)})^T,$$

【0013】

【数35】

$$b_{pk+1}^{(pk+1)} = b_{pk+1}^{(pk)} / a_{pk+1, pk+1}^{(pk)},$$

【0014】(但し、 $pk+2 \leq j \leq n$)の計算を行う前処理装置 A_1 と、前記記憶装置と接続され、前記記憶装置に格納された係数行列の第 $pk+t$ 行の各要素及び、既知数ベクトル b の第 $pk+t$ 成分に対して、

【0015】

【数36】

$$Reg_{pk+t}^{(0)} = a_{pk+t, pk+1}^{(pk)},$$

【0016】

【数37】

【数38】

【0022】

【数41】

$$a_{pk+t, pk+t}^{(pk+t-1)},$$

【0023】の選択が行われた後、

【0024】

【数42】

$$a_{p_k+t}^{(p_k+t)} = a_{p_k+t}^{(p_k+t-1)} / a_{p_k+t}^{(p_k+t)},$$

【0025】

【数43】

$$b_{p_k+t}^{(p_k+t)} = b_{p_k+t}^{(p_k+t-1)} / a_{p_k+t}^{(p_k+t)},$$

【0026】（但し、 $pk+t+1 \leq j \leq n$ ）の計算を行う k

$$Reg_i^{(1)} = a_{i, p_k+2}^{(p_k)} - a_{i, p_k+1}^{(p_k)} \cdot a_{p_k+1, p_k+2}^{(p_k+1)},$$

【0029】、...

【0030】

$$Reg_i^{(k-1)} = a_{i, (p+1)k}^{(p_k)} - \sum_{m=1}^{k-1} Reg_i^{(m-1)} a_{p_k+m, (p+1)k}^{(p_k+m)},$$

【0031】

【数47】

$$a_{i, (p+1)k}^{((p+1)k)} = a_{i, p_k}^{(p_k)} - \sum_{m=1}^k Reg_i^{(m-1)} a_{p_k+m, (p+1)k}^{(p_k+m)},$$

【0032】

【数48】

$$b_{i, (p+1)k}^{((p+1)k)} = b_{i, p_k}^{(p_k)} - \sum_{m=1}^k Reg_i^{(m-1)} b_{p_k+m, (p+1)k}^{(p_k+m)},$$

【0033】（但し、 $(p+1)k+1 \leq i, j \leq n$ ）の計算を変数 Reg を前記レジスタ群に保持した状態で行う更新計算装置 B と、 $n-[n/k]k=0$ ならば、前記枢軸選択装置、前記前処理装置 A_1 から前記前処理装置 A_k 及び前記更新計算装置 B に対して、前記枢軸選択装置、前記前処理装置 A_1 から前記前処理装置 A_k 及び前記更新計算装置 B での一連の処理を $p=0$ から $p=[n/k]-2$ まで繰り返し行うように指示し、更に、 $p=[n/k]-1$ として、前記枢軸選択装置及び前記前処理装置 A_1 から前記前処理装置 A_k に対して、前記枢軸選択装置及び前記前処理装置 A_1 から前記前処理装置 A_k での一連の処理を行うように指示し、 $n-[n/k]k>0$ ならば、前記枢軸選択装置、前記前処理装置 A_1 から前記前処理装置 A_k 及び前記更新計算装置 B に対して、前記枢軸選択装置、前記前処理装置 A_1 から前記前処理装置 A_k 及び前記更新計算装置 B での一連の処理を $p=0$ から $p=[n/k]-1$ まで繰り返し行うように指示し、更に、 $p=[n/k]$ として、前記枢軸選択装置及び前記前処理装置 A_1 から前記前処理装置 $A_{n-[n/k]k}$ に対して、前記枢軸選択装置及び前記前処理装置 A_1 から前記前処理装置 $A_{n-[n/k]k}$ までの一連の処理を行うように指示する主制御装置 G と、前記記憶装置と接続され、

【0034】

【数49】

$$x_i = b_i^{(n)}$$

—1個の前処理装置 A_t ($t=2, 3, \dots, k$)と、前記記憶装置と接続され、 k 個のレジスタからなるレジスタ群と演算装置で構成され、前記記憶装置に格納された係数行列の第 i 行の各要素に対して、

【0027】

【数44】

$$Reg_i^{(0)} = a_{i, p_k+1}^{(p_k)},$$

【0028】

【数45】

$$Reg_i^{(1)} = a_{i, p_k+2}^{(p_k)} - a_{i, p_k+1}^{(p_k)} \cdot a_{p_k+1, p_k+2}^{(p_k+1)},$$

【数46】

【数47】

【数48】

【0035】

【数50】

$$b_i^{(r+1)} = b_i^{(r)} - a_{i, i}^{(r)} x_i,$$

【0036】の2つの計算を行うことで前記未知数ベクトル x を求める後退代入装置とを備えたことを特徴とするものである。

【0037】また、上記問題点を解決するために本発明の線形計算装置は、与えられた連立1次方程式を $Ax=b$ （但し、 $A=(a_{ij})$ は係数行列、 $1 \leq i, j \leq n$ 、 $x=(x_1, x_2, \dots, x_n)$ は未知数ベクトル、 $b=(b_1, b_2, \dots, b_n)$ は既知数ベクトル）とし、第 r 列までの消去が行われたときの、係数行列 A を（数31）、既知数ベクトル b を（数32）で表し、 k を1以上の整数とすると、前記係数行列と既知数ベクトルと未知数ベクトルを記憶する記憶装置と、前記記憶装置と接続され、前記係数行列の行方向に検索を行い、列交換方法によって要素交換をして、枢軸選択を行う枢軸選択装置と、前記記憶装置と接続され、前記記憶装置に格納された係数行列の第 $pk+1$ 行の各要素と既知数ベクトル b の第 $pk+1$ 成分に対して、前記枢軸選択装置によって、（数33）の選択が行われた後、（数34）、（数35）（但し、 $pk+2 \leq j \leq n$ ）の計算を行う前処理装置 A_1 と、前記記憶装置と接続され、前記記憶装置に格納された係数行列の第 $pk+t$ 行の各要素及び、既知数ベクトル b の第 pk

+t成分に対して、(数36)、(数37)、…、(数38)、(数39)、(数40) (但し、 $pk+t \leq j \leq n$) の計算を行い、前記憶装置に格納された係数行列の第 $pk+t$ 行の各要素、既知数ベクトル b の第 $pk+t$ 成分に対して、前記枢軸選択装置によって、(数41)の選択が行われた後、(数42)、(数43) (但し、 $pk+t+1 \leq j \leq n$) の計算を行う $k-1$ 個の前処理装置 A_t ($t=2, 3, \dots, k$) と、前記憶装置と接続され、 k 個のレジスタからなるレジスタ群と演算装置で構成され、前記憶装置に格納された係数行列の第 i 行の各要素に対して、(数44)、(数45)、…、(数46)、(数47)、(数48) (但し、 $1 \leq i \leq pk, (p+1)k+1 \leq i \leq n, (p+1)k+1 \leq j \leq n$) の計算を変数 Reg を前記レジスタ群に保持した状態で行う更新計算装置 B' と、前記憶装置に接続され、前記憶装置に格納された係数行列の第 $pk+1$ 行から第 $pk+t$ 行の各要素及び、既知

数ベクトル b の第 $pk+1$ 成分から第 $pk+t$ 成分に対して、

【0038】

【数51】

$$Reg^{(0)} = a_{pk+1, pk+t+1}^{(pk+t)}$$

【0039】

【数52】

$$Reg^{(1)} = a_{pk+2, pk+t+1}^{(pk+t)}$$

【0040】、…、

【0041】

【数53】

$$Reg^{(t-1)} = a_{pk+t, pk+t+1}^{(pk+t)}$$

【0042】

【数54】

$$a_{pk+1, j}^{(pk+t+1)} = a_{pk+1, j}^{(pk+t)} - Reg^{(0)} a_{pk+t+1, j}^{(pk+t+1)}$$

【0043】

【数55】

$$a_{pk+2, j}^{(pk+t+1)} = a_{pk+2, j}^{(pk+t)} - Reg^{(1)} a_{pk+t+1, j}^{(pk+t+1)}$$

【0044】、…、

【0045】

【数56】

$$a_{pk+t, j}^{(pk+t+1)} = a_{pk+t, j}^{(pk+t)} - Reg^{(t-1)} a_{pk+t+1, j}^{(pk+t+1)}$$

【0046】

【数57】

$$b_{pk+1}^{(pk+t+1)} = b_{pk+1}^{(pk+t)} - Reg^{(0)} b_{pk+t+1}^{(pk+t+1)}$$

【0047】

【数58】

$$b_{pk+2}^{(pk+t+1)} = b_{pk+2}^{(pk+t)} - Reg^{(1)} b_{pk+t+1}^{(pk+t+1)}$$

【0048】、…、

【0049】

【数59】

$$b_{pk+t}^{(pk+t+1)} = b_{pk+t}^{(pk+t)} - Reg^{(t-1)} b_{pk+t+1}^{(pk+t+1)}$$

【0050】 (但し、 $pk+t+2 \leq j \leq n$) の計算を行う $k-1$ 個の後処理装置 C_t ($t=1, 2, \dots, k-1$) と、 $n-[n/k]k \neq 0$ ならば、前記枢軸選択装置、前記前処理装置 A_1 から前記前処理装置 A_k 、前記更新計算装置 B' 及び前記後処理装置 C_1 から前記後処理装置 C_{k-1} に対して、前記枢軸選択装置、前記前処理装置 A_1 から前記前処理装置 A_k 、前記更新計算装置 B' 及び前記後処理装置 C_1 から前記後処理装置 C_{k-1} での一連の処理を $p=0$ から $p=[n/k]-1$ まで繰り返し行うように指示し、 $n-[n/k]k > 0$ ならば、前記枢軸選択装置、前記前処理装置 A_1 から前記前処理装置 A_k 、前記更新計算装置 B' 及び前記後処理装置 C_1 から前記後処理装置 C_{k-1} に対して、前記枢軸選択装置、前記前処理装置 A_1 から前記前処理装置 A_k 、前記更新計算装置 B' 及び前記後処理装置 C_1 から前記後処理装置 C_{k-1} での一連の処理を $p=0$ から $p=[n/k]-1$

まで繰り返し、更に、 $p=[n/k]$ として、前記枢軸選択装置、前記前処理装置 A_1 から前記前処理装置 $A_{n-[n/k]k}$ 、前記更新計算装置 B' 及び前記後処理装置 C_1 から前記後処理装置 $C_{n-[n/k]k}$ に対して、前記枢軸選択装置、前記前処理装置 A_1 から前記前処理装置 $A_{n-[n/k]k}$ での一連の処理、前記更新計算装置 B' での枢軸数を $n-[n/k]k$ とした処理及び前記後処理装置 C_1 から前記後処理装置 $C_{n-[n/k]k}$ での一連の処理を行うように指示する主制御装置 J とを備えたことを特徴とするものである。

【0051】 また、上記問題点を解決するために本発明の並列線形計算装置は、与えられた連立1次方程式を $Ax=b$ [但し、 $A=(a_{ij})$ は係数行列、 $1 \leq i, j \leq n$ 、 $x=(x_1, x_2, \dots, x_n)$ は未知数ベクトル、 $b=(b_1, b_2, \dots, b_n)$ は既知数ベクトル] とし、第 r 列

までの消去が行われたときの、係数行列Aを(数31)、既知数ベクトルbを(数32)で表し、kを1以上の整数とすると、前記係数行列と既知数ベクトルと未知数ベクトルを記憶する記憶装置と、前記記憶装置と接続され、前記係数行列の行方向に検索を行い、列交換の方法によって要素交換をして、枢軸選択を行う枢軸選択装置と、前記記憶装置と接続され、前記記憶装置に格納された係数行列の第pk+1行の各要素と既知数ベクトルbの第pk+1成分に対して、前記枢軸選択装置によって、(数33)の選択が行われた後、(数34)、(数35)(但し、 $pk+2 \leq j \leq n$)の計算を行う前処理装置A₁と、前記記憶装置と接続され、前記記憶装置に格納された係数行列の第pk+t行の各要素及び、既知数ベクトルbの第pk+t成分に対して、(数36)、(数37)、…、(数38)、(数39)、(数40)(但し、 $pk+t \leq j \leq n$)の計算を行い、前記記憶装置に格納された係数行列の第pk+t行の各要素、既知数ベクトルbの第pk+t成分に対して、前記枢軸選択装置によって、(数41)の選択が行われた後、(数42)、(数43)(但し、 $pk+t+1 \leq j \leq n$)の計算を行うk-1個の前処理装置A_t($t=2, 3, \dots, k$)と、前記記憶装置と接続され、k個のレジスタからなるレジスタ群と演算装置で構成され、前記記憶装置に格納された係数行列の第i行の各要素に対して、(数44)、(数45)、…、(数46)、(数47)、(数48)(但し、 $(p+1)k+1 \leq i, j \leq n$)の計算を変数Regを前記レジスタ群に保持した状態で更新計算装置Bと、前記記憶装置と接続され、(数49)、(数50)の2つの計算を行うことで前記未知数ベクトルxを求める後退代入装置と、前記記憶装置に接続された外部との中継点であるゲートウェイと、前記記憶装置に接続され、前記記憶装置中のデータをゲートウェイを介して外部へ転送したり、外部のデータをゲートウェイを介して前記記憶装置中に転送する転送装置とで構成されるノードを構成単位とし、P個の前記ノードを仮にノード $\alpha_0, \dots, \text{ノード} \alpha_{p-1}$ とすると、前記ノード α_0 からノード α_{p-1} を互いにネットワークで接続したシステムにおいて、前記ノード α_0 からノード

$$Reg^{(t-1)} = a_{\left\{ \begin{smallmatrix} p \\ p_k+t \end{smallmatrix} \right\}} - \sum_{m=1}^{t-1} Reg^{(m-1)} a_{\left\{ \begin{smallmatrix} p_k+m \\ p_k+m+p_k+t \end{smallmatrix} \right\}},$$

【0053】の計算を行い、前記ノード α_u に、前記係数行列の第(pk+1)行から第((p+1)k)行以外の行も割り付けられているときは、前記ノード α_u 内の前記更新計算装置Bでも、(数60)の計算を行う処理を並列前処理A_t(但し、 $t=2, 3, \dots, k$)とし、前記ノード内の前記記憶装置に格納されている前記係数行列の第(p+1)k+1行から第n行に対して、各行を担当する全ての前記ノード内の前記更新計算装置Bで、(数47)、(数48)

(但し、 $(p+1)k+1 \leq i, j \leq n$)の計算を変数Regを前記レジスタ群に保持した状態で更新処理を並列更新処理

α_{p-1} に対し、前記ノード α_0 からノード α_{p-1} の前記記憶装置へ順に、前記連立1次方程式の係数行列はk行づつ、既知数ベクトル、未知数ベクトルは、前記係数行列を割付けた行番号と等しい成分番号の成分をk成分づつ割付けていき、1巡目で割付けが終わらないときは、更に2巡目、3巡目と繰り返し、前記係数行列、既知数ベクトル、未知数ベクトルの要素全てを割付ける処理を割付け処理とし、前記係数行列の第(pk+1)行から第((p+1)k)行を保持している前記記憶装置を有する前記ノードをノード α_u ($0 \leq u \leq P-1$)とすると、前記ノード α_u 内の前記前処理装置A₁で、前記記憶装置に格納された前記係数行列の第pk+1行の各要素と既知数ベクトルbの第pk+1成分に対して、前記枢軸選択装置によって、(数33)の選択が行われた後、(数34)、(数35)(但し、 $pk+2 \leq j \leq n$)の計算を行い、計算結果を前記転送装置によって、その他の前記ノード内の前記記憶装置に転送し、その間他の前記ノード内の前記記憶装置に格納されている前記係数行列の各行に対して、前記更新計算装置Bで、(数44)の計算を行い、前記ノード α_u に、前記係数行列の第(pk+1)行から第((p+1)k)行以外の行も割り付けられているときは、前記ノード α_u 内の前記更新計算装置Bでも、(数44)の計算を行う処理を並列前処理A₁とし、前記ノード α_u 内の前記前処理装置A_tで、前記記憶装置に格納された係数行列の第pk+t行の各要素及び、既知数ベクトルbの第pk+t成分に対して、(数36)、(数37)、…、(数38)、(数39)、(数40)(但し、 $pk+t \leq j \leq n$)の計算を行い、前記記憶装置に格納された係数行列の第pk+t行の各要素、既知数ベクトルbの第pk+t成分に対して、前記枢軸選択装置によって、(数41)の選択が行われた後、(数42)、(数43)(但し、 $pk+t+1 \leq j \leq n$)の計算を行い、計算結果を前記転送装置によって、その他の前記ノード内の前記記憶装置に転送し、その間他の前記ノード内の前記記憶装置に格納されている前記係数行列の各行に対して、前記更新計算装置Bで、

【0052】

【数60】

Bとすると、前記割付け処理を行った後、 $n-[n/k]k=0$ ならば、前記並列前処理A₁から前記並列前処理A_k及び前記並列更新処理Bを $p=0$ から $p=[n/k]-2$ まで繰り返し、更に、 $p=[n/k]-1$ として前記並列前処理A₁から前記並列前処理A_kまでを行うように各前記ノードに指示し、 $n-[n/k]k>0$ ならば、前記並列前処理A₁から前記並列前処理A_k及び前記並列更新処理Bを $p=0$ から $p=[n/k]-1$ まで繰り返し、更に、 $p=[n/k]$ として前記並列前処理A₁から前記並列前処理A_{n-[n/k]k}までを行うように各前記ノードに指示し、前記処理終了後、各前記

ノードの前記後退代入装置と前記転送装置を用いて前記未知数ベクトルの値を求めるよう指示する主制御装置Gpとを備えたことを特徴とするものである。

【0054】また、上記問題点を解決するために本発明の並列線形計算装置は、与えられた連立1次方程式を $Ax=b$ [但し、 $A=(a_{ij})$ は係数行列、 $1 \leq i, j \leq n$ 、 $x=(x_1, x_2, \dots, x_n)$ は未知数ベクトル、 $b=(b_1, b_2, \dots, b_n)$ は既知数ベクトル]とし、第r列までの消去が行われたときの、係数行列Aを(数31)、既知数ベクトルbを(数32)で表し、kを1以上の整数とすると、前記係数行列と既知数ベクトルと未知数ベクトルを記憶する記憶装置と、前記記憶装置と接続され、前記係数行列の行方向に検索を行い、列交換の方法によって要素交換をして、枢軸選択を行う枢軸選択装置と、前記記憶装置と接続され、前記記憶装置に格納された係数行列の第pk+1行の各要素と既知数ベクトルbの第pk+1成分に対して、前記枢軸選択装置によって、(数33)の選択が行われた後、(数34)、(数35) (但し、 $pk+2 \leq j \leq n$)の計算を行う前処理装置A₁と、前記記憶装置と接続され、前記記憶装置に格納された係数行列の第pk+t行の各要素及び、既知数ベクトルbの第pk+t成分に対して、(数36)、(数37)、…、(数38)、(数39)、(数40) (但し、 $pk+t \leq j \leq n$)の計算を行い、前記記憶装置に格納された係数行列の第pk+t行の各要素、既知数ベクトルbの第pk+t成分に対して、前記枢軸選択装置によって、(数41)の選択が行われた後、(数42)、(数43) (但し、 $pk+t+1 \leq j \leq n$)の計算を行うk-1個の前処理装置A_t (t=2, 3, …, k)と、前記記憶装置と接続され、k個のレジスタからなるレジスタ群と演算装置で構成され、前記記憶装置に格納された係数行列の第i行の各要素に対して、(数44)、(数45)、…、(数46)、(数47)、(数48) (但し、 $1 \leq i \leq pk, (p+1)k+1 \leq i \leq n, (p+1)k+1 \leq j \leq n$)の計算を変数Regを前記レジスタ群に保持した状態で行う更新計算装置B'と、前記記憶装置に接続され、前記記憶装置に格納された係数行列の第pk+1行から第pk+t行の各要素及び、既知数ベクトルbの第pk+1成分から第pk+t成分に対して、(数51)、(数52)、…、(数53)、(数54)、(数55)、…、(数56)、(数57)、(数58)、…、(数59) (但し、 $pk+t+2 \leq j \leq n$)の計算を行うk-1個の後処理装置C_t (t=1, 2, …, k-1)と、前記記憶装置に接続された外部との中継点であるゲートウェイと、前記記憶装置に接続され、前記記憶装置中のデータをゲートウェイを介して外部へ転送したり、外部のデータをゲートウェイを介して前記記憶装置中に転送する転送装置とで構成されるノードを構成単位とし、P個の前記ノードを仮にノード $\alpha_0, \dots, \text{ノード}\alpha_{p-1}$ とすると、前記ノード α_0 からノード α_{p-1} を互いにネットワークで接続したシステムにおいて、前

記ノード α_0 からノード α_{p-1} に対し、前記ノード α_0 からノード α_{p-1} の前記記憶装置へ順に、前記連立1次方程式の係数行列はk行づつ、既知数ベクトル、未知数ベクトルは、前記係数行列を割付けた行番号と等しい成分番号の成分をk成分づつ割付けていき、1巡目で割付けが終わらないときは、更に2巡目、3巡目と繰り返し、前記係数行列、既知数ベクトル、未知数ベクトルの要素全てを割付ける処理を割付け処理とし、前記係数行列の第(pk+1)行から第(p+1)k行を保持している前記記憶装置を有する前記ノードをノード α_u ($0 \leq u \leq P-1$)とすると、前記ノード α_u 内の前記前処理装置A₁で、前記記憶装置に格納された前記係数行列の第pk+1行の各要素と既知数ベクトルbの第pk+1成分に対して、前記枢軸選択装置によって、(数33)の選択が行われた後、(数34)、(数35) (但し、 $pk+2 \leq j \leq n$)の計算を行い、計算結果を前記転送装置によって、その他の前記ノード内の前記記憶装置に転送し、その間他の前記ノード内の前記記憶装置に格納されている前記係数行列の各行に対して、前記更新計算装置B'で、(数44)の計算を行い、前記ノード α_u に、前記係数行列の第(pk+1)行から第(p+1)k行以外の行も割り付けられているときは、前記ノード α_u 内の前記更新計算装置B'でも、(数44)の計算を行う処理を並列前処理A₁とし、前記ノード α_u 内の前記前処理装置A_tで、前記記憶装置に格納された係数行列の第pk+t行の各要素及び、既知数ベクトルbの第pk+t成分に対して、(数36)、(数37)、…、(数38)、(数39)、(数40) (但し、 $pk+t \leq j \leq n$)の計算を行い、前記記憶装置に格納された係数行列の第pk+t行の各要素、既知数ベクトルbの第pk+t成分に対して、前記枢軸選択装置によって、(数41)の選択が行われた後、(数42)、(数43) (但し、 $pk+t+1 \leq j \leq n$)の計算を行い、計算結果を前記転送装置によって、その他の前記ノード内の前記記憶装置に転送し、その間他の前記ノード内の前記記憶装置に格納されている前記係数行列の各行に対して、前記更新計算装置B'で、(数60)の計算を行い、前記ノード α_u に、前記係数行列の第(pk+1)行から第(p+1)k行以外の行も割り付けられているときは、前記ノード α_u 内の前記更新計算装置B'でも、(数60)の計算を行う処理を並列前処理A_t (但し、t=2, 3, …, k)とし、前記ノード内の前記記憶装置に格納されている前記係数行列の第(p+1)k+1行から第n行に対して、各行を担当する全ての前記ノード内の前記更新計算装置B'で、(数47)、(数48) (但し、 $1 \leq i \leq pk, (p+1)k+1 \leq i \leq n, (p+1)k+1 \leq j \leq n$)の計算を変数Regを前記レジスタ群に保持した状態で行う処理を並列更新処理B'とし、前記ノード α_u 内の前記後処理装置C₁から後処理装置C_{k-1}で、前記記憶装置に格納された係数行列の第pk+1行から第pk+t行の各要素及び、既知数ベクトルbの第pk+1成分から第pk+t成分に対し

て、(数51) . . . (数52) . . . , (数53) , (数54) , (数55) . . . , (数56) , (数57) , (数58) . . . , (数59) (但し、 $pk+t+2 \leq j \leq n$) の計算 ($t=1, 2, \dots, k-1$) を行う処理を後消去処理Cとすると、前記割付け処理を行った後、 $n-[n/k]k=0$ ならば、前記並列前処理A₁から前記並列前処理A_k、前記並列更新処理B' 及び前記後消去処理Cを $p=0$ から $p=[n/k]-1$ まで繰り返し行うように各前記ノードに指示し、 $n-[n/k]k>0$ ならば、前記並列前処理A₁から前記並列前処理A_k、前記並列更新処理B' 及び前記後消去処理Cを $p=0$ から $p=[n/k]-1$ まで繰り返し、更に、 $p=[n/k]$ として並列前処理A₁から並列前処理A_{n-[n/k]k}までを行い、枢軸数を $n-[n/k]k$ とした前記並列更新処理B' を行い、更に、前記後消去処理Cにおいて、前記後処理装置C₁から後処理装置C_{n-[n/k]k}までの処理を行うように各前記ノードに指示する主制御装置Jpとを備えたことを特徴とするものである。

【0055】また、上記問題点を解決するために本発明の並列線形計算装置は、与えられた連立1次方程式を $Ax=b$ [但し、 $A=(a_{ij})$ は係数行列、 $1 \leq i, j \leq n$ 、 $x=(x_1, x_2, \dots, x_n)$ は未知数ベクトル、 $b=(b_1, b_2, \dots, b_n)$ は既知数ベクトル] とし、第 r 列までの消去が行われたときの、係数行列Aを(数31)、既知数ベクトルbを(数32)で表し、 k を1以上の整数とすると、前記係数行列の行方向に検索を行い、列交換の方法によって要素交換をして、枢軸選択を行う枢軸選択装置と、前記枢軸選択装置と接続され、前記係数行列の第 $pk+1$ 行の各要素と既知数ベクトルbの第 $pk+1$ 成分に対して、前記枢軸選択装置によって、(数33)の選択が行われた後、(数34)、(数35) (但し、 $pk+2 \leq j \leq n$) の計算を行う前処理装置A₁と、前記枢軸選択装置と接続され、前記係数行列の第 $pk+t$ 行の各要素及び、既知数ベクトルbの第 $pk+t$ 成分に対して、(数36)、(数37)、. . .、(数38)、(数39)、(数40) (但し、 $pk+t \leq j \leq n$) の計算を行い、前記係数行列の第 $pk+t$ 行の各要素、既知数ベクトルbの第 $pk+t$ 成分に対して、前記枢軸選択装置によって、(数41)の選択が行われた後、(数42)、(数43) (但し、 $pk+t+1 \leq j \leq n$) の計算を行う $k-1$ 個の前処理装置A_t ($t=2, 3, \dots, k$) と、前記枢軸選択装置と接続され、 k 個のレジスタからなるレジスタ群と演算装置で構成され、前記係数行列第 i 行の各要素に対して、(数44)、(数45)、. . .、(数46)、(数47)(数48) (但し、 $(p+1)k+1 \leq i, j \leq n$) の計算を変数Regを前記レジスタ群に保持した状態で行う更新計算装置Bと、前記枢軸選択装置と接続され、(数49)、(数50)の2つの計算を行うことで前記未知数ベクトルxを求める後退代入装置と、前記枢軸選択装置に接続され、外部との中継点であるゲートウェイとで構成される要素プロセッサをクラスタの構成単位とし、P

c個の前記要素プロセッサを仮にPE1, . . . , PEPcとすると、前記Pc個の要素プロセッサと、前記係数行列と既知数ベクトルと未知数ベクトルを記憶する記憶装置と、外部との中継点であるCゲートウェイと、前記記憶装置に接続され、データを前記Cゲートウェイを介して外部との入出力転送を行う転送装置とを互いに接続したクラスタを構成単位とし、C個の前記クラスタを仮にクラスタCL₀, . . . , クラスタCL_{p-1}とすると、前記クラスタCL₀からクラスタCL_{p-1}を互いにネットワークで接続したシステムにおいて、前記クラスタCL₀からクラスタCL_{p-1}に対し、前記クラスタCL₀からクラスタCL_{p-1}の前記記憶装置へ順に、前記連立1次方程式の係数行列は k 行づつ、既知数ベクトル、未知数ベクトルは、前記係数行列を割付けた行番号と等しい成分番号の成分を k 成分づつ割付けていき、1巡目で割付けが終わらないときは、更に2巡目、3巡目と繰り返し、前記係数行列、既知数ベクトル、未知数ベクトルの要素全てを割付ける処理を割付け処理とし、クラスタ内の前記要素プロセッサは順に、前記割り付け処理で前記記憶装置に割り付けられた前記係数行列の1行づつとそれに対応する既知数ベクトル、未知数ベクトルの1成分づつの処理を担当するものとし、これにより、クラスタ内の要素プロセッサは少なくとも1行分の処理は行うものとし、前記係数行列の第 $(pk+1)$ 行から第 $(p+1)k$ 行を保持している前記記憶装置を有する前記クラスタをクラスタCL_u ($0 \leq u \leq P-1$) とすると、前記クラスタCL_u内の前記要素プロセッサへ、前記記憶装置に格納された前記係数行列の第 $pk+1$ 行の1列づつと既知数ベクトルbの第 $pk+1$ 成分を1要素づつ順に担当を割付け、前記要素プロセッサの前記枢軸選択装置によって、(数33)の選択が行われた後、前記要素プロセッサの前記前処理装置A₁で一斉に、(数34)、(数35) (但し、 $pk+2 \leq j \leq n$) の計算を行い、計算結果を前記クラスタCL_uの前記転送装置によって、その他の前記クラスタ内の前記記憶装置に転送し、その間他の前記クラスタ内の前記記憶装置に格納されている前記係数行列の各行に対して、前記要素プロセッサの前記更新計算装置Bで、(数44)の計算を行い、前記クラスタCL_uに、前記係数行列の第 $(pk+1)$ 行から第 $(p+1)k$ 行以外の行も割り付けられているときは、前記クラスタCL_u内の前記要素プロセッサの前記更新計算装置Bでも、(数44)の計算を行う処理を並列前処理CLA₁とし、前記クラスタCL_u内の前記要素プロセッサへ、前記記憶装置に格納された前記係数行列の第 $pk+t$ 行の1列づつと既知数ベクトルbの第 $pk+t$ 成分を1要素づつ順に担当を割付け、(数36)、(数37)、. . .、(数38)、(数39)、(数40) (但し、 $pk+t \leq j \leq n$) の計算を前記要素プロセッサの前処理装置A_tで、一斉に行い、前記記憶装置に格納された係数行列の第 $pk+t$ 行の各要素、既知数ベクトルbの第 $pk+t$ 成分に対して、前記要素プロセッサの前記枢軸選択装置によ

て、(数 4 1) の選択が行われた後、前記要素プロセッサの前処理装置 A_t で一斉に、(数 4 2)、(数 4 3)

(但し、 $pk+t+1 \leq j \leq n$) の計算を行い、計算結果を前記クラスタ CL_u の前記転送装置によって、その他の前記クラスタ内の前記記憶装置に転送し、その間他の前記クラスタ内の前記記憶装置に格納されている前記係数行列の各行に対して、前記要素プロセッサの前記更新計算装置 B で、(数 6 0) の計算を行い、前記クラスタ CL_u に、前記係数行列の第 $(pk+1)$ 行から第 $(p+1)k$ 行以外の行も割り付けられているときは、前記クラスタ CL_u 内の前記要素プロセッサの前記更新計算装置 B でも、(数 6 0) の計算を行う処理を並列前処理 CLA_t (但し、 $t=2, 3, \dots, k$) とし、前記クラスタ内の前記記憶装置に格納されている前記係数行列の第 $(p+1)k+1$ 行から第 n 行に対して、各行を担当する全ての前記クラスタ内の前記要素プロセッサの前記更新計算装置 B で、(数 4 7)、(数 4 8) (但し、 $(p+1)k+1 \leq i, j \leq n$) の計算を変数 Reg を前記レジスタ群に保持した状態で行う処理を並列更新処理 B_c とするとき、前記割り付け処理を行った後、 $n-[n/k]k=0$ ならば、前記並列前処理 CLA_1 から前記並列前処理 CLA_k 及び前記並列更新処理 B_c を $p=0$ から $p=[n/k]-2$ まで繰り返し、更に、 $p=[n/k]-1$ として前記並列前処理 CLA_1 から前記並列前処理 CLA_k までを行うように各前記クラスタに指示し、 $n-[n/k]k>0$ ならば、前記並列前処理 CLA_1 から前記並列前処理 CLA_k 及び前記並列更新処理 B_c を $p=0$ から $p=[n/k]-1$ まで繰り返し、更に、 $p=[n/k]$ として前記並列前処理 CLA_1 から前記並列前処理 CLA_k までを行うように各前記クラスタに指示し、前記処理終了後、各前記クラスタ内の前記要素プロセッサの前記後退代入装置と前記転送装置を用いて前記未知数ベクトルの値を求めるよう指示する主制御装置 G_{pc} とを備えたことを特徴とするものである。

【0056】また、上記問題点を解決するために本発明の並列線形計算装置は、与えられた連立 1 次方程式を $Ax=b$ [但し、 $A=(a_{ij})$ は係数行列、 $1 \leq i, j \leq n$ 、 $x=(x_1, x_2, \dots, x_n)^t$ は未知数ベクトル、 $b=(b_1, b_2, \dots, b_n)^t$ は既知数ベクトル] とし、第 r 列までの消去が行われたときの、係数行列 A を (数 3 1)、既知数ベクトル b を (数 3 2) で表し、 k を 1 以上の整数とするとき、前記係数行列の行方向に検索を行い、列交換の方法によって要素交換をして、枢軸選択を行う枢軸選択装置と、前記枢軸選択装置と接続され、前記係数行列の第 $pk+1$ 行の各要素と既知数ベクトル b の第 $pk+1$ 成分に対して、前記枢軸選択装置によって、(数 3 3) の選択が行われた後、(数 3 4)、(数 3 5) (但し、 $pk+2 \leq j \leq n$) の計算を行う前処理装置 A_1 と、前記枢軸選択装置と接続され、前記係数行列の第 $pk+t$ 行の各要素及び、既知数ベクトル b の第 $pk+t$ 成分に対して、(数 3 6)、(数 3 7)、 \dots 、(数 3 8)、(数 3 9)、(数 4 0) (但し、 $pk+t \leq j \leq n$) の計算を行

い、前記係数行列の第 $pk+t$ 行の各要素、既知数ベクトル b の第 $pk+t$ 成分に対して、前記枢軸選択装置によって、(数 4 1) の選択が行われた後、(数 4 2)、(数 4 3) (但し、 $pk+t+1 \leq j \leq n$) の計算を行う $k-1$ 個の前処理装置 A_t ($t=2, 3, \dots, k$) と、前記枢軸選択装置と接続され、 k 個のレジスタからなるレジスタ群と演算装置で構成され、前記係数行列第 i 行の各要素に対して、(数 4 4)、(数 4 5)、 \dots 、(数 4 6)、(数 4 7)、(数 4 8) (但し、 $1 \leq i \leq pk, (p+1)k+1 \leq i \leq n, (p+1)k+1 \leq j \leq n$) の計算を変数 Reg を前記レジスタ群に保持した状態で行う更新計算装置 B' と、前記枢軸選択装置に接続され、前記係数行列の第 $pk+1$ 行から第 $pk+t$ 行の各要素及び、既知数ベクトル b の第 $pk+1$ 成分から第 $pk+t$ 成分に対して、(数 5 1)、(数 5 2)、 \dots 、(数 5 3)、(数 5 4)、(数 5 5)、 \dots 、(数 5 6)、(数 5 7)、(数 5 8)、 \dots 、(数 5 9) (但し、 $pk+t+2 \leq j \leq n$) の計算を行う $k-1$ 個の後処理装置 C_t ($t=1, 2, \dots, k-1$) と、前記枢軸選択装置に接続され、外部との中継点であるゲートウェイとで構成される要素プロセッサをクラスタの構成単位とし、 P_c 個の前記要素プロセッサを仮に PE_1, \dots, PE_{P_c} とするとき、前記 P_c 個の要素プロセッサと、前記係数行列と既知数ベクトルと未知数ベクトルを記憶する記憶装置と、外部との中継点である C ゲートウェイと、前記記憶装置に接続され、データを前記 C ゲートウェイを介して外部との入出力転送を行う転送装置とを互いに接続したクラスタを構成単位とし、 C 個の前記クラスタを仮にクラスタ $CL_0, \dots, \text{クラスタ } CL_{p-1}$ とするとき、前記クラスタ CL_0 からクラスタ CL_{p-1} を互いにネットワークで接続したシステムにおいて、前記クラスタ CL_0 からクラスタ CL_{p-1} に対し、前記クラスタ CL_0 からクラスタ CL_{p-1} の前記記憶装置へ順に、前記連立 1 次方程式の係数行列は k 行づつ、既知数ベクトル、未知数ベクトルは、前記係数行列を割り付けた行番号と等しい成分番号の成分を k 成分づつ割り付けていき、1 巡目で割り付けが終わらないときは、更に 2 巡目、3 巡目と繰り返し、前記係数行列、既知数ベクトル、未知数ベクトルの要素全てを割り付ける処理を割り付け処理とし、クラスタ内の前記要素プロセッサは順に、前記割り付け処理で前記記憶装置に割り付けられた前記係数行列の 1 行づつとそれに対応する既知数ベクトル、未知数ベクトルの 1 成分づつの処理を担当するものとし、これにより、クラスタ内の要素プロセッサは少なくとも 1 行分の処理は行うものとし、前記係数行列の第 $(pk+1)$ 行から第 $(p+1)k$ 行を保持している前記記憶装置を有する前記クラスタをクラスタ CL_u ($0 \leq u \leq P-1$) とするとき、前記クラスタ CL_u 内の前記要素プロセッサへ、前記記憶装置に格納された前記係数行列の第 $pk+1$ 行の 1 列づつと既知数ベクトル b の第 $pk+1$ 成分を 1 要素づつ順に担当を割り付け、前記要素プロセッサの前記枢軸選択装置によって、(数 3 3) の選択が行われた後、

前記要素プロセッサの前記前処理装置A₁で一斉に、

(数34)、(数35) (但し、 $pk+2 \leq j \leq n$) の計算を行い、計算結果を前記クラスタCL₀の前記転送装置によって、その他の前記クラスタ内の前記記憶装置に転送し、その間他の前記クラスタ内の前記記憶装置に格納されている前記係数行列の各行に対して、前記要素プロセッサの前記更新計算装置B'で、(数44)の計算を行い、前記クラスタCL₀に、前記係数行列の第(pk+1)行から第((p+1)k)行以外の行も割り付けられているときは、前記クラスタCL₀内の前記要素プロセッサの前記更新計算装置B'でも、(数44)の計算を行う処理を並列前処理CLA₁とし、前記クラスタCL₀内の前記要素プロセッサへ、前記記憶装置に格納された前記係数行列の第pk+t行の1列づつと既知数ベクトルbの第pk+t成分を1要素づつ順に担当を割付け、(数36)、(数37)、…、(数38)、(数39)、(数40) (但し、 $pk+t \leq j \leq n$) の計算を前記要素プロセッサの前処理装置A_tで、一斉に行い、前記記憶装置に格納された係数行列の第pk+t行の各要素、既知数ベクトルbの第pk+t成分に対して、前記要素プロセッサの前記枢軸選択装置によって、(数41)の選択が行われた後、前記要素プロセッサの前処理装置A_tで一斉に、(数42)、(数43)

(但し、 $pk+t+1 \leq j \leq n$) の計算を行い、計算結果を前記クラスタCL₀の前記転送装置によって、その他の前記クラスタ内の前記記憶装置に転送し、その間他の前記クラスタ内の前記記憶装置に格納されている前記係数行列の各行に対して、前記要素プロセッサの前記更新計算装置B'で、(数60)の計算を行い、前記クラスタCL₀に、前記係数行列の第(pk+1)行から第((p+1)k)行以外の行も割り付けられているときは、前記クラスタCL₀内の前記要素プロセッサの前記更新計算装置B'でも、

(数60)の計算を行う処理を並列前処理CLA_t (但し、 $t=2, 3, \dots, k$) とし、前記クラスタ内の前記記憶装置に格納されている前記係数行列の第(p+1)k+1行から第n行に対して、各行を担当する全ての前記クラスタ内の前記要素プロセッサの前記更新計算装置B'で、(数47)、(数48) (但し、 $1 \leq i \leq pk$, $(p+1)k+1 \leq i \leq n$, $(p+1)k+1 \leq j \leq n$) の計算を変数Regを前記レジスタ群に保持した状態で行う処理を並列更新処理Bc'とし、前記記憶装置に格納された係数行列の第pk+1行から第pk+t行の各要素及び、既知数ベクトルbの第pk+1成分から第pk+t成分の自分の担当する要素に対して、(数51)、(数52)、…、(数53)、(数54)、(数55)、…、(数56)、(数57)、(数58)、…、(数59) (但し、 $pk+t+2 \leq j \leq n$) の計算を $t=1$ から $t=k-1$ までtを固定する毎に、前記クラスタCL₀内の前記要素プロセッサの前記後処理装置C_tで、一斉に行う処理を後消去処理Ccとすると、前記割付け処理を行った後、 $n-[n/k]k=0$ ならば、前記並列前処理CLA₁から前記並列前処理CLA_k、前記並列更新処理

Bc'及び前記後消去処理Ccを $p=0$ から $p=[n/k]-1$ まで繰り返すように各前記クラスタに指示し、 $n-[n/k]k>0$ ならば、前記並列前処理CLA₁から前記並列前処理CLA_k、前記並列更新処理Bc'及び前記後消去処理Ccを $p=0$ から $p=[n/k]-1$ まで繰り返す、更に、 $p=[n/k]$ として並列前処理CLA₁から並列前処理CLA_{n-[n/k]k}までを行い、枢軸数を $n-[n/k]k$ とした前記並列更新処理Bc'を行い、更に前記後消去処理Ccにおいて、前記後処理装置C₁から後処理装置C_{n-[n/k]k}までの処理を行うように各前記クラスタに指示する主制御装置Jpcとを備えたことを特徴とするものである。

【0057】

【作用】本発明は上記した構成によって、k枢軸列同時消去計算に基づくガウス消去法とガウス・ヨルダン法を用いた、連立1次方程式求解のための高速な線形計算装置、及び並列線形計算装置の提供が可能となる。高速化が可能となる理由は、主に、次の2点による。まず第1点として、「更新計算を行う際に、変数Regをレジスタ上に保持した状態で行うことで、記憶装置へのロード・ストア回数を減少させたこと」、第2点として、「k枢軸列同時消去計算を行うことで、繰り返す回数が減少し、従って、ループ展開と同様の効果が得られること」、これらのことにより、高速化が可能となった。また、並列線形計算装置に関しては、前述の2点に加え、記憶装置への係数行列の等のデータの割付けが、k枢軸列同時消去計算の場合、k行づつ割り付けており、これにより並列効果が落ちない。また、クラスタ化した場合は、前処理、後処理部分の並列化も可能となり更に効果的である。従って、k枢軸列同時消去計算に基づくガウス消去法とガウス・ヨルダン法のアルゴリズムを十分生かした並列線形計算装置が得られることとなる。

【0058】

【実施例】以下本発明の第1の実施例における線形計算装置、図1を参照しながら説明する。図1は、本発明の第1の実施例における線形計算装置の構成図である。図1において、1は連立1次方程式の係数行列、未知数ベクトル、既知数ベクトルを記憶する記憶装置、2は枢軸選択を行う枢軸選択装置、3はk枢軸列同時消去計算を行う際の第1段階の前処理を行う前処理装置A₁、4はk枢軸列同時消去計算を行う際の第t段階の前処理を行う前処理装置A_t、5はk枢軸列同時消去計算を行う際の第k段階の前処理を行う前処理装置A_k、6はk枢軸列同時消去計算を行った際の更新計算を行う更新計算装置B、7は後退代入を行う後退代入装置、8は装置全体の制御を行う主制御装置G、101はk個のレジスタで構成されるレジスタ群、102は更新計算を行う演算装置である。

【0059】以上のように構成された第1の実施例の線形計算装置について、以下その各装置に関して動作を説明する。

【0060】以下の説明において、与えられた連立1次方程式を $Ax = b$ [但し、 $A = (a_{ij})$ は係数行列、 $1 \leq i, j \leq n$ 、 $x = (x_1, x_2, \dots, x_n)$ は未知数ベクトル、 $b = (b_1, b_2, \dots, b_n)$ は既知数ベクトル] とする。また、第 r 列までの消去が行われたときの、係数行列 A は、(数31)、既知数ベクトル b を(数32)で表し、 k は1以上の整数とする。

【0061】記憶装置1は、係数行列 A と既知数ベクトル b と未知数ベクトル x を記憶する為のもので、通常の半導体メモリによって構成できる。枢軸選択装置2は、記憶装置1に接続されており、主制御装置G8の指示により、枢軸選択を行う。枢軸選択方法は、部分枢軸選択とし、係数行列の行方向に検索を行い、検索の結果交換すべき列番号が解ったら、係数行列は列交換の方法によって要素交換を行い、未知数ベクトルはその列番号に対応する成分交換を行う。交換自体は、直接データを交換しても、インデックスによる交換でも構わない。前処理装置A13は、記憶装置1に接続され、記憶装置1に格納された係数行列の第 $pk+1$ 行の各要素と既知数ベクトル b の第 $pk+1$ 成分に対して、枢軸選択装置2によって、

(数33)の選択が行われた後、主制御装置G8の指示により、(数34)、(数35) (但し、 $pk+2 \leq j \leq n$) の計算を行う。前処理装置 A_t4 ($t=2, \dots, k$) は、 $k-1$ 個の前処理装置 A を t をパラメータとして、パラメトリックに表わしたものである。これらは、記憶装置1と接続され、主制御装置G8の指示により、記憶装置1に格納された係数行列の第 $pk+t$ 行の各要素及び、既知数ベクトル b の第 $pk+t$ 成分に対して、(数36)、(数37)、 \dots 、(数38)、(数39)、(数40) (但し、 $pk+t \leq j \leq n$) の計算を行う。次に、記憶装置1に格納された係数行列の第 $pk+t$ 行の各要素、既知数ベクトル b の第 $pk+t$ 成分に対して、枢軸選択装置2によって、

(数41)の選択が行われた後、主制御装置G8の指示により、(数42)、(数43) (但し、 $pk+t+1 \leq j \leq n$) の計算を行う。前述の前処理装置 A_t4 において、特に、 $t=k$ の場合が、前処理装置 A_k5 である。更新計算装置B6は、 k 個のレジスタからなるレジスタ群101と、四則演算等の処理を行う演算装置102で構成される。記憶装置1と接続され、主制御装置G8の指示により、記憶装置1に格納された係数行列の第 i 行の各要素に対して、(数44)、(数45)、 \dots 、(数46)、(数47)、(数48) (但し、 $(p+1)k+1 \leq i, j \leq n$) の計算を変数Regを前記レジスタ群に保持した状態で行う。前述の(数44)式から(数46)式は、更新計算を行うための前準備の式で、(数47)、(数48)式が、 k 枢軸列同時消去を行ったときの係数行列 A 、既知数ベクトル b の更新を行う更新計算式を示している。後退代入装置7は、記憶装置1と接続され、前進消去終了後、主制御装置G8の指示により、(数49)、(数50)の2つの計算を行うことで前記未知数

ベクトル x を求める。

【0062】次に、図2を用いて、主制御装置G8による全体の動作を説明する。図2は、主制御装置G8の制御アルゴリズムを記したフローチャート図である。

【0063】まず、問題の次元 n と同時消去計算を行う枢軸数 k の関係を調べる。 $n-[n/k]k > 0$ でなければ、 $n-[n/k]k=0$ なので、処理行に対するパラメータ p を0にセットして、図2の左側のループに入る。まず、枢軸選択装置2に、1行目の枢軸選択を行うように指示を出す。その後、前処理装置A13で、 $p=0$ であるから、係数行列の第1行の各要素と既知数ベクトル b の第1成分に対して、(数34)、(数35)式の処理を行う。同様に、枢軸選択装置2と前処理装置 A_t4 ($t=2, \dots, k$)、前処理装置 A_k に指示を出し、前述の装置動作に従って、一連の(数36)から(数43)式による前処理を、係数行列の第2行から第 k 行までの各要素と既知数ベクトル b の第2成分から第 k 成分まで、逐次に終了させていく。 $p=[n/k]-1$ のときはここで前進消去は終了するので、ループを抜ける。 $p < [n/k]-1$ のときは、更新計算装置B6に指示を出し、(数44)から(数48)式により、更新計算を行う。その後、パラメータ p を1インクリメントして、枢軸選択装置2と前処理装置A13からの処理を、 $p=[n/k]-1$ となってループを抜けるまで繰り返させる。 $n-[n/k]k > 0$ のときは、処理行に対するパラメータ p を0にセットして、図2の右側のループに入る。図2から解るように、ループ内での処理内容は、 $n-[n/k]k=0$ のときと同じだが、ループを抜けるための条件が $p=[n/k]$ で、抜ける場所は前処理装置 A_t4 で、 $t=n-[n/k]$ としたときの処理が終了した後である。以上により、前進消去が終了し、次に、後退代入装置7に指示を出し、(数49)、(数50)式により、解である未知数ベクトル x を求める。

【0064】本発明の第2の実施例について、図3を参照しながら説明する。図3は、本発明の第2の実施例における線形計算装置の構成図である。図3において、1は連立1次方程式の係数行列、未知数ベクトル、既知数ベクトルを記憶する記憶装置、2は枢軸選択を行う枢軸選択装置、3は k 枢軸列同時消去計算を行う際の第1段階の前処理を行う前処理装置A1、4は k 枢軸列同時消去計算を行う際の第 t 段階の前処理を行う前処理装置 A_t 、5は k 枢軸列同時消去計算を行う際の第 k 段階の前処理を行う前処理装置 A_k 、9は k 枢軸列同時消去計算を行った際の更新計算を行う更新計算装置B'、10は対角要素のみを残すための第1段階の後消去を行う後処理装置C1、11は対角要素のみを残すための第 t 段階の後消去を行う後処理装置 C_t 、12は対角要素のみを残すための第 $k-1$ 段階の後消去を行う後処理装置 C_{k-1} 、13は装置全体の制御を行う主制御装置J、103は k 個のレジスタで構成されるレジスタ群、104は更新計算を行う演算装置である。

【0065】以上のように構成された第2の実施例の線形計算装置について、以下前述していない各装置に関して動作を説明する。更新計算装置B' 9は、k個のレジスタからなるレジスタ群103と、四則演算等の処理を行う演算装置104で構成される。記憶装置1と接続され、主制御装置J13の指示により、記憶装置1に格納された係数行列の第i行の各要素に対して、(数44)、(数45)、...、(数46)、(数47)、

(数48) (但し、 $1 \leq i \leq pk$, $(p+1)k+1 \leq i \leq n$, $(p+1)k+1 \leq j \leq n$) の計算を変数Regを前記レジスタ群に保持した状態で行う。後処理装置C_t11 (t=1, ..., k-1)は、k-1個の後処理装置Cをtをパラメータとして、パラメトリックに表わしたものである。これらは、記憶装置1と接続され、主制御装置J13の指示により、記憶装置1に格納された係数行列の第pk+1行から第pk+t行の各要素及び、既知数ベクトルbの第pk+1成分から第pk+t成分に対して、(数51)、(数52)、...、(数53)、(数54)、(数55)、...、(数56)、(数57)、(数58)、...、(数59) (但し、 $pk+t+2 \leq j \leq n$) の計算を行う。後処理装置C_t11 (t=1, 2, ..., k-1)で、特に、t=1としたものが後処理装置C₁10であり、t=k-1としたものが後処理装置C_{k-1}12である。

【0066】次に、図4を用いて、主制御装置J13による全体の動作を説明する。図4は、主制御装置J13の制御アルゴリズムを記したフローチャート図である。

【0067】まず、問題の次元nと同時消去計算を行う枢軸数kの関係を調べる。 $n-[n/k]k > 0$ でなければ、 $n-[n/k]k=0$ なので、処理行に対するパラメータpを0にセットして、図4の左側のループに入る。まず、枢軸選択装置2に、1行目の枢軸選択を行うように指示を出す。その後、前処理装置A₁3で、p=0であるから、係数行列の第1行の各要素と既知数ベクトルbの第1成分に対して、(数34)、(数35)式の処理を行う。同様に、枢軸選択装置2と前処理装置A_t4 (t=2, ..., k)、前処理装置A_kに指示を出し、前述の装置動作に従って、一連の(数36)から(数43)式による前処理を、係数行列の第2行から第k行までの各要素と既知数ベクトルbの第2成分から第k成分まで、逐次に終了させていく。その後、更新計算装置B' 9に指示を出し、(数44)から(数48)式により、更新計算を行い、後処理装置C₁10から後処理装置C_{k-1}12へ順に、処理命令を出す。ここまでの処理が終了したときに、 $p=[n/k]-1$ の場合はここでループを抜け、全体の処理が終了する。 $p < [n/k]-1$ のときは、パラメータpを1インクリメントして、枢軸選択装置2と前処理装置A₁3からの処理を、 $p=[n/k]-1$ となってループを抜けるまで繰り返させる。 $n-[n/k]k > 0$ のときは、処理行に対するパラメータpを0にセットして、図4の右側のループに入る。図4から解るように、ループ内での処理内容は、 $n-[n/k]k$

=0の場合とほぼ同じだが、 $p=[n/k]$ のときの処理内容が、次のものとなる。枢軸選択装置2と前処理装置A₁3から前処理装置A_t4で、 $t=n-[n/k]$ としたときの処理までが終了した後、更新計算装置B' 9での処理へジャンプする。更新計算装置B' 9での処理は、同時消去を行う枢軸数を $n-[n/k]k$ とした更新計算で、この後、後処理装置C₁から後処理装置C_t11で、 $t=n-[n/k]$ としたときの処理までを行った後、ループを抜ける。

【0068】以上の処理により、解である未知数ベクトルxが求まる。本発明の第3の実施例について、図5、図6を参照しながら説明する。図5は、本発明の第3の実施例における並列線形計算装置の構成図である。図5において、21はノード間を結ぶネットワーク、22、23、24は装置の構成単位であるノードα₀、ノードα_u、ノードα_{p-1}、25は装置全体の制御を行う主制御装置G_pである。図6は、図5中のノードの構成図を示したものである。図6において、1は連立1次方程式の係数行列、未知数ベクトル、既知数ベクトルを記憶する記憶装置、2は枢軸選択を行う枢軸選択装置、3はk枢軸列同時消去計算を行う際の第1段階の前処理を行う前処理装置A₁、4はk枢軸列同時消去計算を行う際の第t段階の前処理を行う前処理装置A_t、5はk枢軸列同時消去計算を行う際の第k段階の前処理を行う前処理装置A_k、6はk枢軸列同時消去計算を行った際の更新計算を行う更新計算装置B、7は後退代入を行う後退代入装置、26は外部との中継点であるゲートウェイ、27は記憶装置1中のデータをゲートウェイ26を介して外部へ転送したり、外部のデータをゲートウェイ26を介して記憶装置1中に転送する転送装置、101はk個のレジスタで構成されるレジスタ群、102は更新計算を行う演算装置である。

【0069】以上のように構成された第3の実施例の並列線形計算装置について、以下、その動作について説明する。

【0070】ノードα₀22からノードα_{p-1}24の記憶装置1へ順に、連立1次方程式の係数行列Aはk行づつ、既知数ベクトルb、未知数ベクトルxは、係数行列を割付けた行番号と等しい成分番号の成分をk成分づつ割付けていく。1巡目で割付けが終わらないときは、更に2巡目、3巡目と繰り返し、係数行列、既知数ベクトル、未知数ベクトルの要素全てを割付ける。但し、最終割付けの行数は、k行に満たないこともあるが、その場合はk行以下のまま、担当の記憶装置1に割り付ける。このデータを割り付ける処理は、以下に述べる求解の為の処理が始まる前に、主制御装置G_p25によって行われる。

【0071】ノードα_u23 (0 ≤ u ≤ p-1) の記憶装置1が係数行列の第(pk+1)行から第((p+1)k)行を保持しているとする。このとき、主制御装置G_p25の指示により、ノードα_u23の前処理装置A₁3で、記憶装

置1に格納された係数行列の第 $pk+1$ 行の各要素と既知数ベクトル b の第 $pk+1$ 成分に対して、枢軸選択装置2によって、(数33)の選択が行われた後、(数34)。

(数35) (但し、 $pk+2 \leq j \leq n$) の計算を行う。その計算結果は、主制御装置Gp25の指示により、転送装置27によって、ゲートウェイ26を介して、その他のノード内の記憶装置1に転送される。その間他のノード内の記憶装置1に格納されている係数行列の各行に対して、主制御装置Gp25の指示により、更新計算装置B6で、(数44)の計算を行う。ノード α_u 23に、係数行列の第 $(pk+1)$ 行から第 $(p+1)k$ 行以外の行も割り付けられているときは、ノード α_u 23内の更新計算装置B6でも、(数44)の計算を行う。この処理を処理を並列前処理 A_1 と定義する。

【0072】ノード α 23_u内の前処理装置At4で、記憶装置1に格納された係数行列の第 $pk+t$ 行の各要素及び、既知数ベクトル b の第 $pk+t$ 成分に対して、主制御装置Gp25の指示により、(数36)、(数37)、…、(数38)、(数39)、(数40) (但し、 $pk+t \leq j \leq n$) の計算を行う。更に、記憶装置1に格納された係数行列の第 $pk+t$ 行の各要素、既知数ベクトル b の第 $pk+t$ 成分に対して、枢軸選択装置2によって、(数41)の選択が行われた後、主制御装置Gp25の指示により、(数42)、(数43) (但し、 $pk+t+1 \leq j \leq n$) の計算を行う。その計算結果は、主制御装置Gp25の指示により、転送装置27によって、ゲートウェイ26を介して、その他のノード内の記憶装置1に転送される。その間他のノード内の記憶装置1に格納されている係数行列の各行に対して、主制御装置Gp25の指示により、更新計算装置B6で、(数60)の計算を行う。ノード α_u 23に、前記係数行列の第 $(pk+1)$ 行から第 $(p+1)k$ 行以外の行も割り付けられているときは、ノード α_u 23内の更新計算装置B6でも、(数60)の計算を行う。この処理を並列前処理 A_t (但し、 $t=2, 3, \dots, k$) と定義する。

【0073】主制御装置Gp25の指示により、記憶装置1に格納されている係数行列の第 $(p+1)k+1$ 行から第 n 行に対して、各行を担当する全てのノード内の更新計算装置B6で、(数47)、(数48) (但し、 $(p+1)k+1 \leq i, j \leq n$) の計算を、変数Regをレジスタ群101に保持した状態で行う。この処理を並列更新処理Bと定義する。

【0074】次に、前述の定義に基づき、図7を用いて主制御装置Gp25による全体の動作を説明する。図7は、主制御装置Gp25における、先の定義レベルでの制御アルゴリズムのフローチャート図である。

【0075】まず、問題の次元 n と同時消去計算を行う枢軸数 k の関係を調べる。 $n-[n/k]k > 0$ でなければ、 $n-[n/k]k=0$ なので、処理行に対するパラメータ p を0にセットして、図7の左側のループに入る。次に、先に定義し

た並列前処理 A_1 から並列前処理 A_k の処理を行わせる。 $p=[n/k]-1$ のときはここで前進消去は終了するので、ループを抜ける。 $p < [n/k]-1$ のときは、並列更新処理Bを行う。その後、パラメータ p を1インクリメントして、並列前処理 A_1 からの処理を、 $p=[n/k]-1$ となってループを抜けるまで繰り返させる。 $n-[n/k]k > 0$ のときは、処理行に対するパラメータ p を0にセットして、図7の右側のループに入る。図7から解るように、ループ内での処理内容は、 $n-[n/k]k=0$ のときと同じだが、ループを抜けるための条件が $p=[n/k]$ で、抜ける場所は並列前処理 $A_{n-[n/k]}$ の処理が終了した後である。以上により、前進消去が終了する。次に、各ノードの後退代入装置7と転送装置27に指示を出し、(数49)、(数50)式により、解である未知数ベクトル x を求める。この処理は、並列に行っても、逐次に行ってもどちらでも良い。

【0076】本発明の第4の実施例について、図8、図9を参照しながら説明する。図8は、本発明の第4の実施例における並列線形計算装置の構成図である。図8において、31はノード間を結ぶネットワーク、32、33、34は装置の構成単位であるノード α_0 、ノード α_u 、ノード α_{p-1} 、35は装置全体の制御を行う主制御装置Jpである。図9は、図8中のノードの構成図を示したものである。図9において、1は連立1次方程式の係数行列、未知数ベクトル、既知数ベクトルを記憶する記憶装置、2は枢軸選択を行う枢軸選択装置、3は k 枢軸列同時消去計算を行う際の第1段階の前処理を行う前処理装置 A_1 、4は k 枢軸列同時消去計算を行う際の第 t 段階の前処理を行う前処理装置 A_t 、5は k 枢軸列同時消去計算を行う際の第 k 段階の前処理を行う前処理装置 A_k 、9は k 枢軸列同時消去計算を行った際の更新計算を行う更新計算装置B'、10は対角要素のみを残すための第1段階の後消去を行う後処理装置C1、11は対角要素のみを残すための第 t 段階の後消去を行う後処理装置Ct、12は対角要素のみを残すための第 $k-1$ 段階の後消去を行う後処理装置C $_{k-1}$ 、26は外部との中継点であるゲートウェイ、27は記憶装置1中のデータをゲートウェイ26を介して外部へ転送したり、外部のデータをゲートウェイ26を介して記憶装置1中に転送する転送装置、103は k 個のレジスタで構成されるレジスタ群、104は更新計算を行う演算装置である。

【0077】以上のように構成された第4の実施例の並列線形計算装置について、以下、その動作について説明する。

【0078】ノード α_0 32からノード α_{p-1} 34の記憶装置1へ順に、連立1次方程式の係数行列 A は k 行づつ、既知数ベクトル b 、未知数ベクトル x は、係数行列を割付けた行番号と等しい成分番号の成分を k 成分づつ割付けていく。1巡目で割付けが終わらないときは、更に2巡目、3巡目と繰り返し、係数行列、既知数ベクトル

ル、未知数ベクトルの要素全てを割付ける。但し、最終割付けの行数は、 k 行に満たないこともあるが、その場合は k 行以下のまま、担当の記憶装置1に割り付ける。このデータを割り付ける処理は、以下に述べる求解の為の処理が始まる前に、主制御装置Jp35によって行われる。

【0079】ノード α_u33 ($0 \leq u \leq P-1$)の記憶装置1が係数行列の第 $(pk+1)$ 行から第 $((p+1)k)$ 行を保持しているとする。このとき、主制御装置Jp35の指示により、ノード α_u33 の前処理装置A13で、記憶装置1に格納された係数行列の第 $pk+1$ 行の各要素と既知数ベクトル b の第 $pk+1$ 成分に対して、枢軸選択装置2によって、(数33)の選択が行われた後、(数34)、(数35) (但し、 $pk+2 \leq j \leq n$)の計算を行う。その計算結果は、主制御装置Jp35の指示により、転送装置27によって、ゲートウェイ26を介して、その他のノード内の記憶装置1に転送される。その間他のノード内の記憶装置1に格納されている係数行列の各行に対して、主制御装置Jp35の指示により、更新計算装置B'9で、(数44)の計算を行う。ノード α_u33 に、係数行列の第 $(pk+1)$ 行から第 $((p+1)k)$ 行以外の行も割り付けられているときは、ノード α_u33 内の更新計算装置B'9でも、(数44)の計算を行う。この処理を並列前処理A1と定義する。

【0080】ノード $\alpha33_u$ 内の前処理装置At4で、記憶装置1に格納された係数行列の第 $pk+t$ 行の各要素及び、既知数ベクトル b の第 $pk+t$ 成分に対して、主制御装置Jp35の指示により、(数36)、(数37)、 \dots 、(数38)、(数39)、(数40) (但し、 $pk+t \leq j \leq n$)の計算を行う。更に、記憶装置1に格納された係数行列の第 $pk+t$ 行の各要素、既知数ベクトル b の第 $pk+t$ 成分に対して、枢軸選択装置2によって、(数41)の選択が行われた後、主制御装置Jp35の指示により、(数42)、(数43) (但し、 $pk+t+1 \leq j \leq n$)の計算を行う。その計算結果は、主制御装置Jp35の指示により、転送装置27によって、ゲートウェイ26を介して、その他のノード内の記憶装置1に転送される。その間他のノード内の記憶装置1に格納されている係数行列の各行に対して、主制御装置Jp35の指示により、更新計算装置B'9で、(数60)の計算を行う。ノード α_u33 に、前記係数行列の第 $(pk+1)$ 行から第 $((p+1)k)$ 行以外の行も割り付けられているときは、ノード α_u33 内の更新計算装置B'9でも、(数60)の計算を行う。この処理を並列前処理At (但し、 $t=2, 3, \dots, k$)と定義する。

【0081】主制御装置Jp35の指示により、記憶装置1に格納されている係数行列の第 $(p+1)k+1$ 行から第 n 行に対して、各行を担当する全てのノード内の更新計算装置B'9で、(数47)、(数48) (但し、 $1 \leq i \leq pk$, $(p+1)k+1 \leq i \leq n$, $(p+1)k+1 \leq j \leq n$)の計算

を、変数Regをレジスタ群101に保持した状態で行う。この処理を並列更新処理B'と定義する。

【0082】ノード α_u33 内の後処理装置C110から後処理装置Ck-1,12で、記憶装置1に格納された係数行列の第 $pk+1$ 行から第 $pk+t$ 行の各要素及び、既知数ベクトル b の第 $pk+1$ 成分から第 $pk+t$ 成分に対して、主制御装置Jp35の指示により、(数51)、(数52)、 \dots 、(数53)、(数54)、(数55)、 \dots 、(数56)、(数57)、(数58)、 \dots 、(数59) (但し、 $pk+t+2 \leq j \leq n$)の計算 ($t=1, 2, \dots, k-1$)を行う。この処理を後消去処理Cと定義する。

【0083】次に、前述の定義に基づき、図10を用いて主制御装置Jp35による全体の動作を説明する。図10は、主制御装置Jp35における、先の定義レベルでの制御アルゴリズムのフローチャート図である。

【0084】まず、問題の次元 n と同時消去計算を行う枢軸数 k の関係を調べる。 $n-[n/k]k > 0$ でなければ、 $n-[n/k]k=0$ なので、処理行に対するパラメータ p を0にセットして、図10の左側のループに入る。先に定義した並列前処理A1から並列前処理Akの処理を行わせ、並列更新処理B'を行わせ、更に、後消去処理Cを行わせる。ここまでの処理が終了したときに、 $p=[n/k]-1$ の場合はここでループを抜け、全体の処理が終了する。 $p < [n/k]-1$ のときは、パラメータ p を1インクリメントして、並列前処理A1からの処理を、 $p=[n/k]-1$ となってループを抜けるまで繰り返させる。 $n-[n/k]k > 0$ のときは、処理行に対するパラメータ p を0にセットして、図10の右側のループに入る。図10から解るように、ループ内での処理内容は、 $n-[n/k]k=0$ の場合とほぼ同じだが、 $p=[n/k]$ のときの処理内容が、次のものとなる。並列前処理A1から並列前処理An-[n/k]の処理までが終了した後、並列更新処理B'での処理へジャンプする。並列更新処理B'での処理は、同時消去を行う枢軸数を $n-[n/k]k$ とした更新計算である。この後、後消去処理Cを行うが、これも、この場合に限り後処理装置C1での処理から後処理装置Cn-[n/k]までの処理を行い、ループを抜ける。

【0085】以上の処理により、解である未知数ベクトル x が求まる。本発明の第5の実施例について、図11、図12、図13を参照しながら説明する。図11は、本発明の第5の実施例における並列線形計算装置の構成図である。図11において、41はノード間を結ぶネットワーク、42、43、44は装置の構成単位であるクラスタCL0、クラスタCLu、クラスタCLp-1、45は装置全体の制御を行う主制御装置Gpcである。図12は、図11中のクラスタの構成図を示したものである。図12において、46は外部との中継点であるCクラスタ、47、48、49はクラスタの構成単位である要素プロセッサPE1、PE2、 \dots 、PEPc、50は記憶装置1中のデータをCゲートウェイ46を介して外部へ転

送したり、外部のデータをゲートウェイ 46 を介して記憶装置 1 中に転送する転送装置である。図 13 は、図 12 中の要素プロセッサ P E の構成図を示したものである。図 13 において、2 は枢軸選択を行う枢軸選択装置、3 は k 枢軸列同時消去計算を行う際の第 1 段階の前処理を行う前処理装置 A₁、4 は k 枢軸列同時消去計算を行う際の第 t 段階の前処理を行う前処理装置 A_t、5 は k 枢軸列同時消去計算を行う際の第 k 段階の前処理を行う前処理装置 A_k、6 は k 枢軸列同時消去計算を行った際の更新計算を行う更新計算装置 B、7 は後退代入を行う後退代入装置、51 は外部との中継点であるゲートウェイ、101 は k 個のレジスタで構成されるレジスタ群、102 は更新計算を行う演算装置である。

【0086】以上のように構成された第 5 の実施例の並列線形計算装置について、以下、その動作について説明する。

【0087】クラスタ CL₀ 42 からクラスタ CL_{p-1} 44 の記憶装置 1 へ順に、連立 1 次方程式の係数行列 A は k 行づつ、既知数ベクトル b、未知数ベクトル x は、係数行列を割付けた行番号と等しい成分番号の成分を k 成分づつ割付けていく。1 巡目で割付けが終わらないときは、更に 2 巡目、3 巡目と繰り返し、係数行列、既知数ベクトル、未知数ベクトルの要素全てを割付ける。但し、最終割付けの行数は、k 行に満たないこともあるが、その場合は k 行以下のまま、担当の記憶装置 1 に割り付ける。クラスタ内の P E1 から P E_p は順に、前術の割り付けで記憶装置 1 に割り付けられた係数行列の 1 行づつと、それに対応する既知数ベクトル、未知数ベクトルの 1 成分づつの処理を担当する。これにより、クラスタ内の要素プロセッサは少なくとも 1 行分の処理は行う。このデータを割り付ける処理は、以下に述べる求解の為の処理が始まる前に、主制御装置 Gpc 45 によって行われる。

【0088】クラスタ CL_u 43 ($0 \leq u \leq P-1$) の記憶装置 1 が係数行列の第 (pk+1) 行から第 ((p+1)k) 行を保持しているとする。このとき、主制御装置 Gpc 45 の指示により、クラスタ CL_u 43 内の P E147 から P E_p 49 へ、記憶装置 1 に格納された係数行列の第 pk+1 行の 1 列づつと既知数ベクトル b の第 pk+1 成分を 1 要素づつ順に担当を割付ける。第 pk+1 行担当の要素プロセッサの枢軸選択装置 2 によって、(数 33) の選択が行われた後、主制御装置 Gpc 45 の指示により、要素プロセッサの前処理装置 A₁3 で一斉に、(数 34)、(数 35) (但し、 $pk+2 \leq j \leq n$) の計算を行う。この計算結果を、主制御装置 Gpc 45 の指示により、クラスタ CL_u 43 の転送装置 50 によって、C ゲートウェイ 46 を介し、その他のクラスタ内の記憶装置 1 に転送する。その間、主制御装置 Gpc 45 の指示により、他のクラスタ内の記憶装置 1 に格納されている係数行列の担当する各行に対して、各要素プロセッサの更新計算装置 B6 で、

(数 44) の計算を行う。クラスタ CL_u 43 に、係数行列の第 (pk+1) 行から第 ((p+1)k) 行以外の行も割り付けられているときは、クラスタ CL_u 43 内の要素プロセッサの更新計算装置 B6 でも、(数 44) の計算を行う。この処理を並列前処理 CLA₁ と定義する。

【0089】主制御装置 Gpc 45 の指示により、クラスタ CL_u 43 内の P E147 から P E_p 49 へ、記憶装置 1 に格納された係数行列の第 pk+1 行の 1 列づつと既知数ベクトル b の第 pk+1 成分を 1 要素づつ順に担当を割付ける。次に、(数 36)、(数 37)、…、(数 38)、(数 39)、(数 40) (但し、 $pk+t \leq j \leq n$) の計算を要素プロセッサの前処理装置 A_t4 で、一斉に行う。記憶装置 1 に格納された係数行列の第 pk+t 行の各要素、既知数ベクトル b の第 pk+t 成分に対して、第 pk+t 行担当の要素プロセッサの枢軸選択装置 2 によって、

(数 41) の選択が行われた後、主制御装置 Gpc 45 の指示により、前記要素プロセッサの前処理装置 A_t4 で一斉に、(数 42)、(数 43) (但し、 $pk+t+1 \leq j \leq n$) の計算を行う。この計算結果を、主制御装置 Gpc 45 の指示により、クラスタ CL_u 43 の転送装置 50 によって、C ゲートウェイ 46 を介して、その他のクラスタ内の記憶装置 1 に転送する。その間、主制御装置 Gpc 45 の指示により、他のクラスタ内の記憶装置 1 に格納されている係数行列の担当する各行に対して、各要素プロセッサの更新計算装置 B6 で、(数 60) の計算を行う。クラスタ CL_u 43 に、係数行列の第 (pk+1) 行から第 ((p+1)k) 行以外の行も割り付けられているときは、クラスタ CL_u 43 の要素プロセッサの更新計算装置 B6 でも、(数 60) の計算を行う。この処理を並列前処理 CL A_t (但し、 $t=2, 3, \dots, k$) と定義する。

【0090】クラスタ内の記憶装置 1 に格納されている係数行列の第 (p+1)k+1 行から第 n 行に対して、主制御装置 Gpc 45 の指示により、各行を担当する全てのクラスタ内の要素プロセッサの更新計算装置 B6 で、(数 47)、(数 48) (但し、 $(p+1)k+1 \leq i, j \leq n$) の計算を変数 Reg を、レジスタ群 101 に保持した状態で行う。この処理を並列更新処理 Bc と定義する。

【0091】次に、前述の定義に基づき、図 14 を用いて主制御装置 Gpc 45 による全体の動作を説明する。図 14 は、主制御装置 Gpc 45 における、先の定義レベルでの制御アルゴリズムを示したものである。

【0092】まず、問題の次元 n と同時消去計算を行う枢軸数 k の関係を調べる。 $n-[n/k]k > 0$ でなければ、 $n-[n/k]k = 0$ なので、処理行に対するパラメータ p を 0 にセットして、図 14 の左側のループに入る。次に、先に定義した並列前処理 CLA₁ から並列前処理 CLA_k の処理を行わせる。 $p = [n/k]-1$ のときはここで前進消去は終了するので、ループを抜ける。 $p < [n/k]-1$ のときは、並列更新処理 Bc を行う。その後、パラメータ p を 1 インクリメントして、並列前処理 CLA₁ からの処理を、 $p = [n/k]-1$ と

なってループを抜けるまで繰り返させる。 $n-[n/k]k>0$ のときは、処理行に対するパラメータ p を 0 にセットして、図 14 の右側のループに入る。図 14 から解るように、ループ内での処理内容は、 $n-[n/k]k=0$ のときと同じだが、ループを抜けるための条件が $p=[n/k]$ で、抜ける場所は並列前処理 $CLA_{n-[n/k]}$ の処理が終了した後である。以上により、前進消去が終了する。次に、各クラスタ内の要素プロセッサの後退代入装置 7 と、各クラスタ内の転送装置 27 に指示を出し、(数 49)、(数 50) 式により、解である未知数ベクトル x を求める。この処理は、並列に行っても、逐次に行ってもどちらでも良い。

【0093】本発明の第 6 の実施例について、図 15、図 16、図 17 を参照しながら説明する。図 15 は、本発明の第 6 の実施例における並列線形計算装置の構成図である。図 15 において、61 はノード間を結ぶネットワーク、62、63、64 は装置の構成単位であるクラスタ CL_0 、クラスタ CL_u 、クラスタ CL_{p-1} 、65 は装置全体の制御を行う主制御装置 Jpc である。図 16 は、図 15 中のクラスタの構成図を示したものである。図 16 において、46 は外部との中継点である C クラスタ、66、67、68 はクラスタの構成単位である要素プロセッサ $PE1$ 、 $PE2$ 、 \dots 、 PE_{Pc} 、50 は記憶装置 1 中のデータを C ゲートウェイ 46 を介して外部へ転送したり、外部のデータをゲートウェイ 46 を介して記憶装置 1 中に転送する転送装置である。図 17 は、図 16 中の要素プロセッサ PE の構成図を示したものである。図 17 において、2 は枢軸選択を行う枢軸選択装置、3 は k 枢軸列同時消去計算を行う際の第 1 段階の前処理を行う前処理装置 A_1 、4 は k 枢軸列同時消去計算を行う際の第 t 段階の前処理を行う前処理装置 A_t 、5 は k 枢軸列同時消去計算を行う際の第 k 段階の前処理を行う前処理装置 A_k 、9 は k 枢軸列同時消去計算を行った際の更新計算を行う更新計算装置 B' 、10 は対角要素のみを残すための第 1 段階の後消去を行う後処理装置 C_1 、11 は対角要素のみを残すための第 t 段階の後消去を行う後処理装置 C_t 、12 は対角要素のみを残すための第 $k-1$ 段階の後消去を行う後処理装置 C_{k-1} 、103 は k 個のレジスタで構成されるレジスタ群、104 は更新計算を行う演算装置である。

【0094】以上のように構成された第 6 の実施例の並列線形計算装置について、以下、その動作について説明する。

【0095】クラスタ CL_0 62 からクラスタ CL_{p-1} 64 の記憶装置 1 へ順に、連立 1 次方程式の係数行列 A は k 行ずつ、既知数ベクトル b 、未知数ベクトル x は、係数行列を割付けた行番号と等しい成分番号の成分を k 成分ずつ割付けていく。1 巡目で割付けが終わらないときは、更に 2 巡目、3 巡目と繰り返し、係数行列、既知数ベクトル、未知数ベクトルの要素全てを割付ける。但し、最

終割付けの行数は、 k 行に満たないこともあるが、その場合は k 行以下のまま、担当の記憶装置 1 に割り付ける。クラスタ内の $PE1$ から PE_{Pc} は順に、前術の割り付けで記憶装置 1 に割り付けられた係数行列の 1 行ずつと、それに対応する既知数ベクトル、未知数ベクトルの 1 成分ずつの処理を担当する。これにより、クラスタ内の要素プロセッサは少なくとも 1 行分の処理は行う。このデータを割り付ける処理は、以下に述べる求解のための処理が始まる前に、主制御装置 Jpc 65 によって行われる。

【0096】クラスタ CL_u 63 ($0 \leq u \leq P-1$) の記憶装置 1 が係数行列の第 $(pk+1)$ 行から第 $((p+1)k)$ 行を保持しているとする。このとき、主制御装置 Jpc 65 の指示により、クラスタ CL_u 63 内の $PE1$ 66 から PE_{Pc} 68 へ、記憶装置 1 に格納された係数行列の第 $pk+1$ 行の 1 列ずつと既知数ベクトル b の第 $pk+1$ 成分を 1 要素ずつ順に担当を割り付ける。第 $pk+1$ 行担当の要素プロセッサの枢軸選択装置 2 によって、(数 33) の選択が行われた後、主制御装置 Jpc 65 の指示により、要素プロセッサの前処理装置 A_1 3 で一斉に、(数 34)、(数 35) (但し、 $pk+2 \leq j \leq n$) の計算を行う。この計算結果を、主制御装置 Jpc 65 の指示により、クラスタ CL_u 63 の転送装置 50 によって、C ゲートウェイ 46 を介し、その他のクラスタ内の記憶装置 1 に転送する。その間、主制御装置 Jpc 65 の指示により、他のクラスタ内の記憶装置 1 に格納されている係数行列の担当する各行に対して、各要素プロセッサの更新計算装置 B' 9 で、(数 44) の計算を行う。クラスタ CL_u 63 に、係数行列の第 $(pk+1)$ 行から第 $((p+1)k)$ 行以外の行も割り付けられているときは、クラスタ CL_u 63 内の要素プロセッサの更新計算装置 B' 9 でも、(数 44) の計算を行う。この処理を並列前処理 CLA_1 と定義する。

【0097】主制御装置 Jpc 65 の指示により、クラスタ CL_u 63 内の $PE1$ 66 から PE_{Pc} 68 へ、記憶装置 1 に格納された係数行列の第 $pk+1$ 行の 1 列ずつと既知数ベクトル b の第 $pk+1$ 成分を 1 要素ずつ順に担当を割り付ける。次に、(数 36)、(数 37)、 \dots 、(数 38)、(数 39)、(数 40) (但し、 $pk+t \leq j \leq n$) の計算を要素プロセッサの前処理装置 A_t 4 で、一斉に行う。記憶装置 1 に格納された係数行列の第 $pk+t$ 行の各要素、既知数ベクトル b の第 $pk+t$ 成分に対して、第 $pk+t$ 行担当の要素プロセッサの枢軸選択装置 2 によって、(数 41) の選択が行われた後、主制御装置 Jpc 65 の指示により、前記要素プロセッサの前処理装置 A_t 4 で一斉に、(数 42)、(数 43) (但し、 $pk+t+1 \leq j \leq n$) の計算を行う。この計算結果を、主制御装置 Jpc 65 の指示により、クラスタ CL_u 63 の転送装置 50 によって、C ゲートウェイ 46 を介して、その他のクラスタ内の記憶装置 1 に転送する。その間、主制御装置 Jpc 65 の指示により、他のクラスタ内の記憶装置 1 に格納さ

れている係数行列の担当する各行に対して、各要素プロセッサの更新計算装置B' 9で、(数60)の計算を行う。クラスタCL_U 63に、係数行列の第(pk+1)行から第((p+1)k)行以外の行も割り付けられているときは、クラスタCL_U 63の要素プロセッサの更新計算装置B' 9でも、(数60)の計算を行う。この処理を並列前処理CLA_t (但し、 $t=2, 3, \dots, k$)と定義する。

【0098】クラスタ内の記憶装置1に格納されている係数行列の第(p+1)k+1行から第n行に対して、主制御装置Jpc 65の指示により、各行を担当する全てのクラスタ内の要素プロセッサの更新計算装置B' 9で、(数47)、(数48) (但し、 $1 \leq i \leq pk$, $(p+1)k+1 \leq i \leq n$, $(p+1)k+1 \leq j \leq n$)の計算を変数Regを、レジスタ群103に保持した状態で行う。この処理を並列更新処理Bc' と定義する。

【0099】記憶装置1に格納された係数行列の第pk+1行から第pk+t行の各要素及び、既知数ベクトルbの第pk+1成分から第pk+t成分の自分の担当する要素に対して、主制御装置Jpc 65の指示により、(数51)、(数52)、 \dots 、(数53)、(数54)、(数55)、 \dots 、(数56)、(数57)、(数58)、 \dots 、(数59) (但し、 $pk+t+2 \leq j \leq n$)の計算を $t=1$ から $t=k-1$ まで t を固定する毎に、クラスタCL_U 63内の要素プロセッサの後処理装置C_t 11で、一斉に行う。この処理を後消去処理Ccと定義する。

【0100】次に、前述の定義に基づき、図18を用いて主制御装置Jpc 65による全体の動作を説明する。図18は、主制御装置Jpc 65における、先の定義レベルでの制御アルゴリズムを示したものである。

【0101】まず、問題の次元 n と同時消去計算を行う枢軸数 k の関係を調べる。 $n-[n/k]k > 0$ でなければ、 $n-[n/k]k=0$ なので、処理行に対するパラメータ p を0にセットして、図18の左側のループに入る。先に定義した並列前処理CLA₁から並列前処理CLA_kの処理を行わせ、並列更新処理Bc' を行わせ、更に、後消去処理Ccを行わせる。ここまでの処理が終了したときに、 $p=[n/k]-1$ の場合はここでループを抜け、全体の処理が終了する。 $p < [n/k]-1$ のときは、パラメータ p を1インクリメントして、並列前処理CLA₁からの処理を、 $p=[n/k]-1$ となってループを抜けるまで繰り返させる。 $n-[n/k]k > 0$ のときは、処理行に対するパラメータ p を0にセットして、図18の右側のループに入る。図18から解るように、ループ内での処理内容は、 $n-[n/k]k=0$ の場合とほぼ同じだが、 $p=[n/k]$ のときの処理内容が、次のものとなる。並列前処理CLA₁から並列前処理CLA _{$n-[n/k]$} の処理までが終了した後、並列更新処理Bc' での処理へジャンプする。並列更新処理Bc' での処理は、同時消去を行う枢軸数を $n-[n/k]k$ とした更新計算である。この後、後消去処理Ccを行うが、これも、この場合に限り後処理装置C₁での処理から後処理装置C _{$n-[n/k]$} までの処理を行い、

ループを抜ける。

【0102】以上の処理により、解である未知数ベクトル x が求まる。なお、第1実施例から第6の実施例での前処理装置Aや後処理装置Cは、更新計算装置のようにレジスタ群を有し、計算の際に、除数や変数Regをそのレジスタ上に保持した状態で行うと、更に、記憶装置へのロード・ストア回数は減少する。従って、更なる高速化が期待できる。

【0103】本発明の第5、第6の実施例のようにクラスタ化した場合、クラスタ内の要素プロセッサ数と同時消去計算を行う枢軸数の関係は、プロセッサ数が枢軸数の約数であることが望ましい。何故ならば、1要素プロセッサの担当する処理行数を均等配分で、要素プロセッサ当たりの負荷の均一化につながるからである。

【0104】

【発明の効果】以上、本発明によって、 k 枢軸列同時消去計算に基づくガウス消去法とガウス・ヨルダン法を用いた、連立1次方程式求解のための高速な線形計算装置、及び並列線形計算装置の提供が可能となる。前述のように、高速化が可能となる理由は、「更新計算を行う際に、変数Regをレジスタ上に保持した状態で行うことで、記憶装置へのロード・ストア回数を減少させたこと」、「 k 枢軸列同時消去計算を行うことで、繰り返し回数が減少し、従って、ループ展開と同様の効果が得られること」である。これらのことは、スカラー計算機を意識したものであり、スカラー計算機でも容易に応用可能である。実際、スカラー計算機の実機でのソフトウェアによる実験では、8枢軸列同時消去計算に基づくガウス消去法(ガウス・ヨルダン法)の処理速度は、通常のガウス消去法(ガウス・ヨルダン法)に比べ、約2.5倍高速であった。

【0105】また、並列線形計算装置に関しては、前述の2点に加え、記憶装置への係数行列の等のデータの割付けが、 k 枢軸同時消去計算の場合、 k 行づつ割り付けており、これにより並列効果が落ちない。また、クラスタ化した場合は、前処理、後処理部分の並列化も可能となり更に効果的である。問題規模がプロセッサ数に対して、適当に大きい場合、理論値による評価から並列効果が十分高いことを証明している。従って、 k 枢軸列同時消去計算に基づくガウス消去法とガウス・ヨルダン法のアルゴリズムを十分生かした並列線形計算装置が得られることとなる。

【0106】以上のことから、本発明の効果は大きい。

【図面の簡単な説明】

【図1】本発明の第1の実施例における線形計算装置の構成図である。

【図2】同実施例における動作説明のための制御アルゴリズムを記したフローチャート図である。

【図3】本発明の第2の実施例における線形計算装置の構成図である。

【図 4】同実施例における動作説明のための制御アルゴリズムを記したフローチャート図である。

【図 5】本発明の第 3 の実施例における並列線形計算装置の構成図である。

【図 6】同実施例における図 5 中のノードの構成図である。

【図 7】同実施例における動作説明のための制御アルゴリズムを記したフローチャート図である。

【図 8】本発明の第 4 の実施例における並列線形計算装置の構成図である。

【図 9】同実施例における図 8 中のノードの構成図である。

【図 10】同実施例における動作説明のための制御アルゴリズムを記したフローチャート図である。

【図 11】本発明の第 5 の実施例における並列線形計算装置の構成図である。

【図 12】同実施例における図 11 中のクラスタの構成図である。

【図 13】同実施例における図 12 中の要素プロセッサ PE の構成図である。

【図 14】同実施例における動作説明のための制御アルゴリズムを記したフローチャート図である。

【図 15】本発明の第 6 の実施例における並列線形計算装置の構成図である。

【図 16】同実施例における図 15 中のクラスタの構成図である。

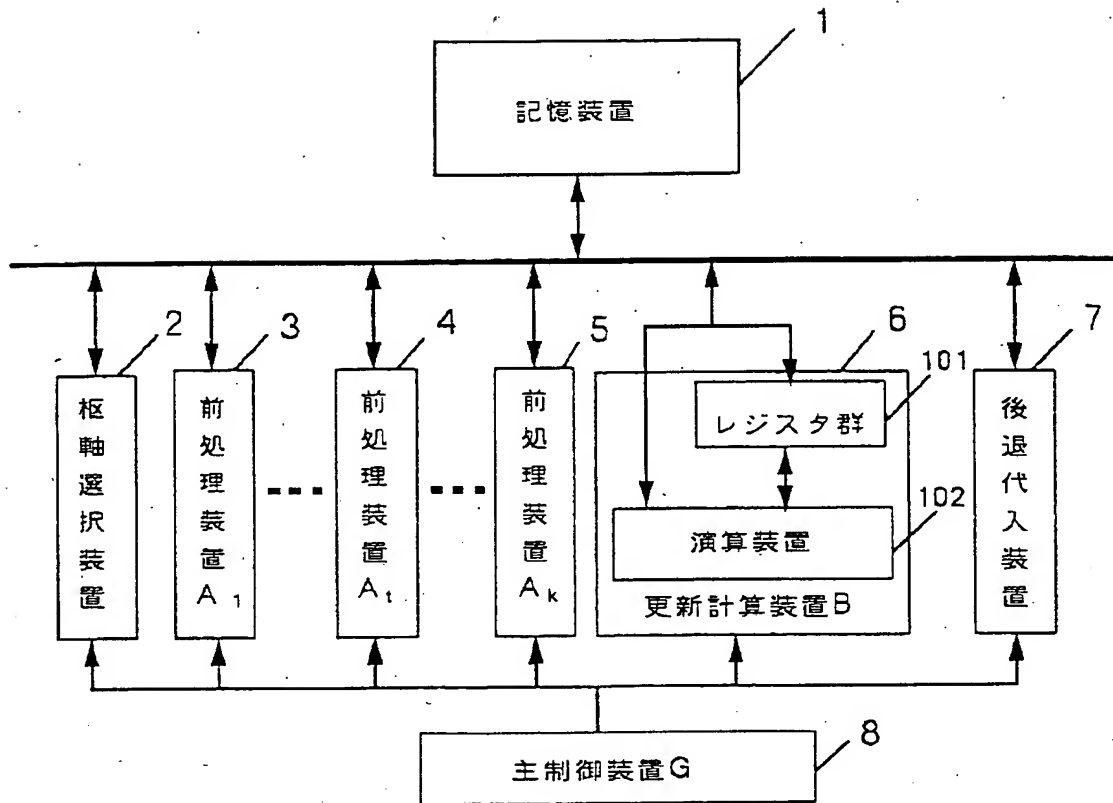
【図 17】同実施例における図 16 中の要素プロセッサ PE の構成図である。

【図 18】同実施例における動作説明のための制御アルゴリズムを記したフローチャート図である。

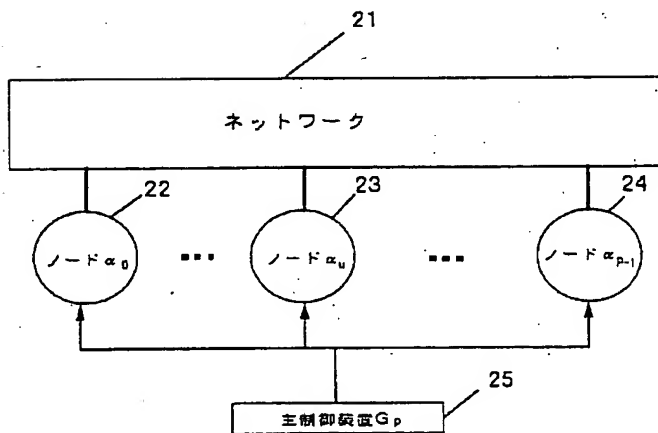
【符号の説明】

1	記憶装置	8	主制御装置 G
2	枢軸選択装置	9	更新計算装置 B'
3	前処理装置 A _l	10	後処理装置 C _l
4	前処理装置 A _t	11	後処理装置 C _t
5	前処理装置 A _k	12	後処理装置 C _{k-1}
6	更新計算装置 B	13	主制御装置 J
7	後退代入装置	21	ネットワーク
		22	ノード α_0
		23	ノード α_u
		24	ノード α_{p-1}
		25	主制御装置 G _p
		26	ゲートウェイ
		27	転送装置
		31	ネットワーク
		32	ノード α_0
		33	ノード α_u
		34	ノード α_{p-1}
		35	主制御装置 J _p
		41	ネットワーク
		42	クラスタ CL ₀
		43	クラスタ CL _u
		44	クラスタ CL _{p-1}
		45	主制御装置 G _{pc}
		46	Cゲートウェイ
		47	PE1
		48	PE2
		49	PEPc
		50	転送装置
		51	ゲートウェイ
		61	ネットワーク
		62	クラスタ CL ₀
		63	クラスタ CL _u
		64	クラスタ CL _{p-1}
		65	主制御装置 J _{pc}
		66	PE1
		67	PE2
		68	PEPc

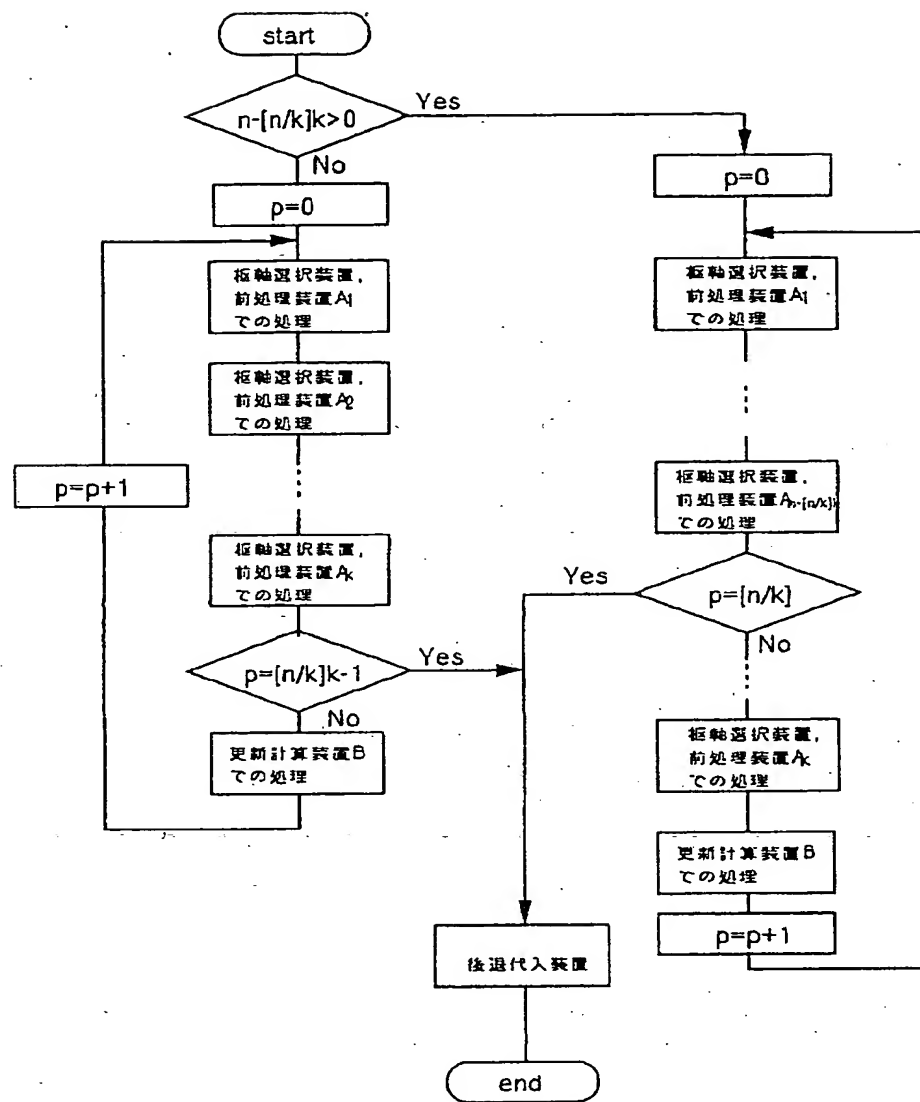
【図1】



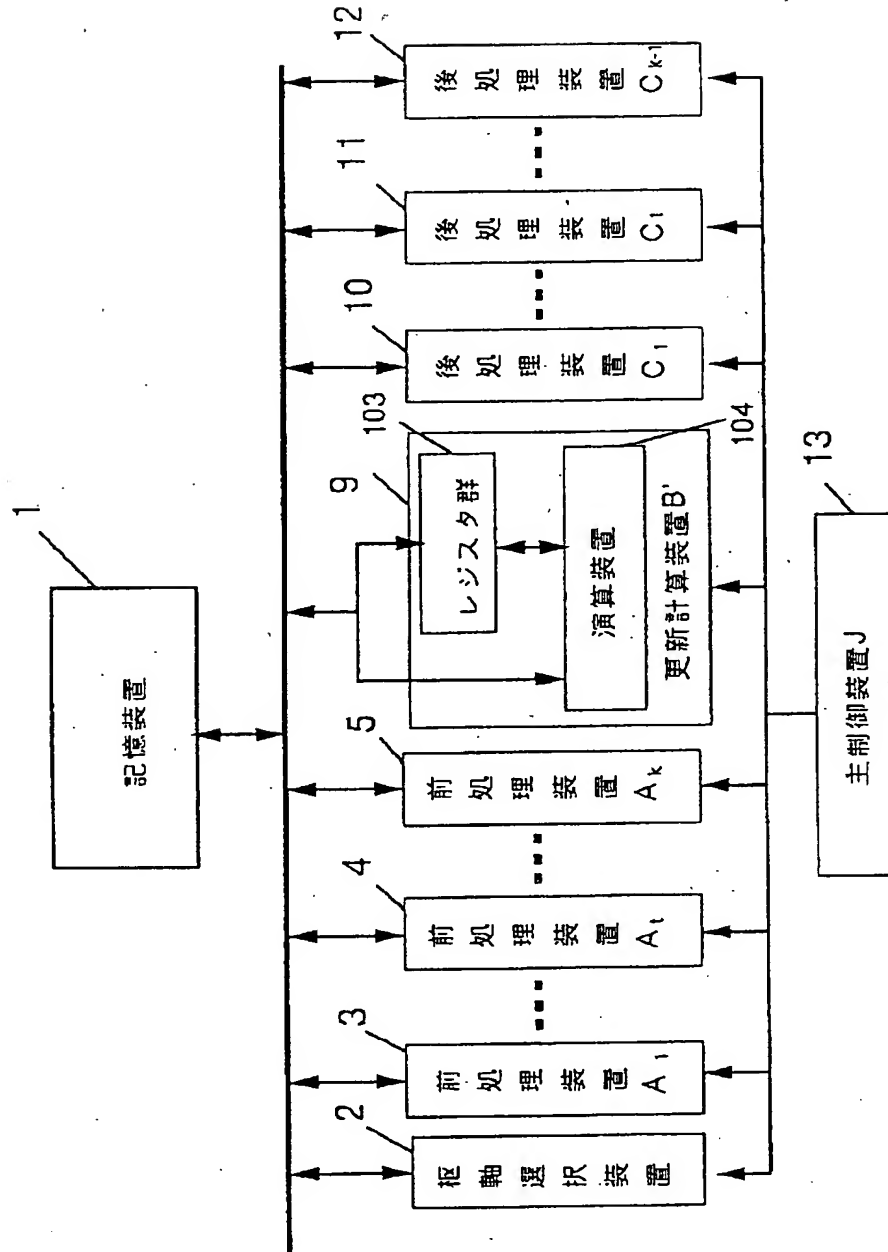
【図5】



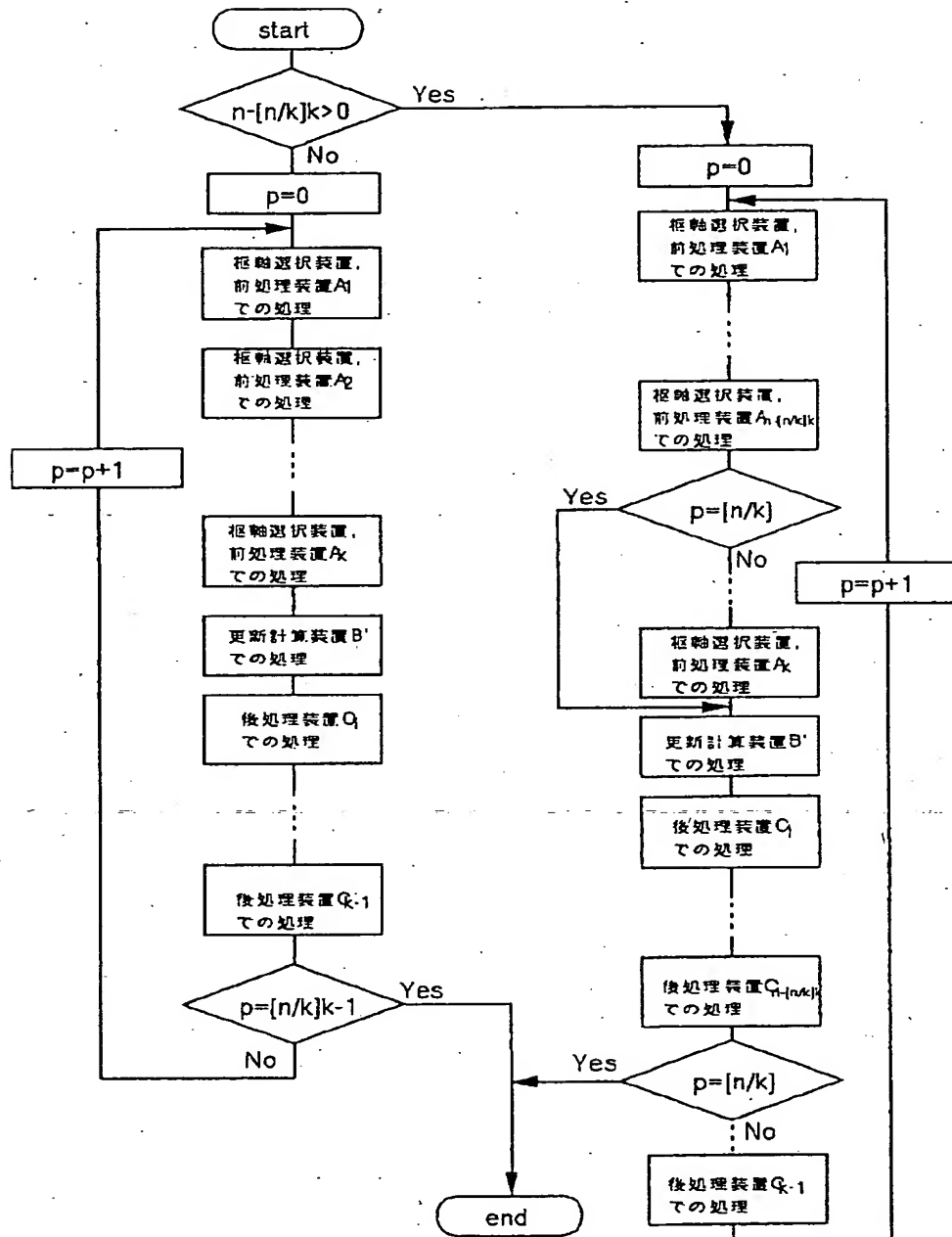
【図2】



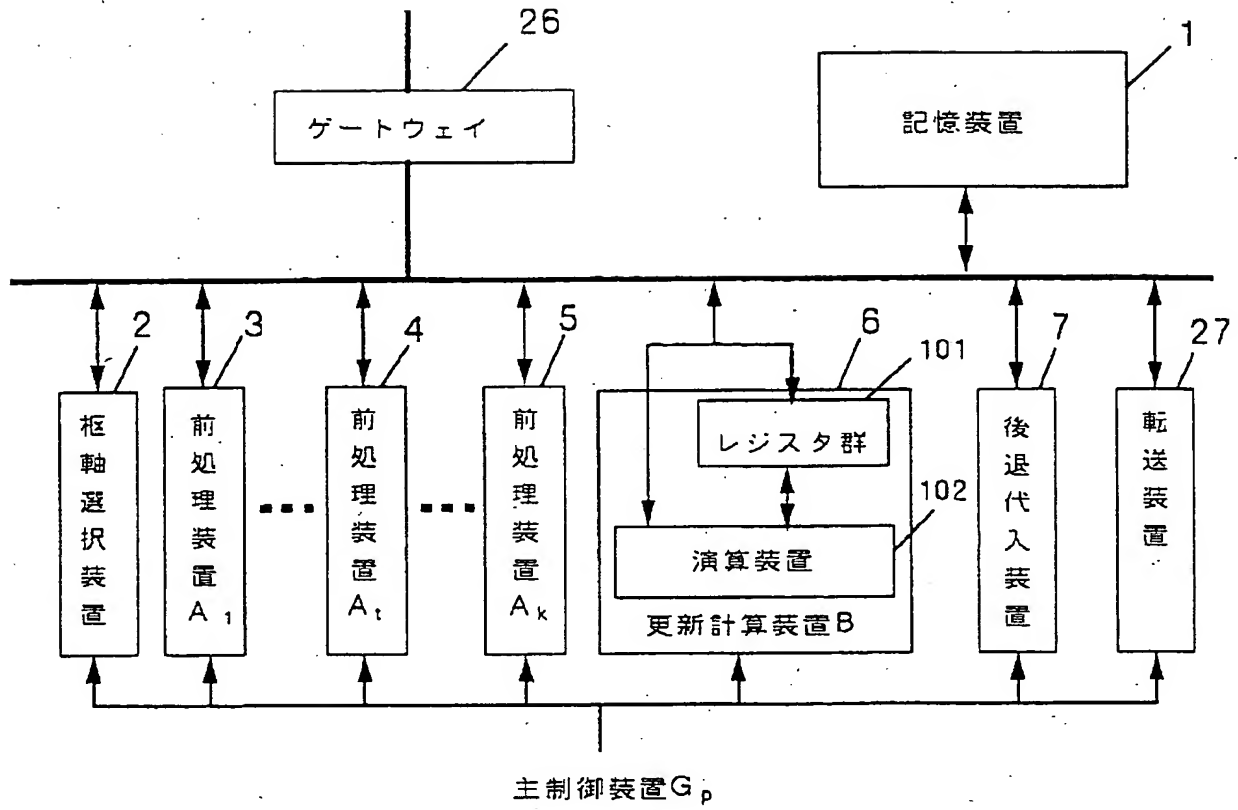
【図3】



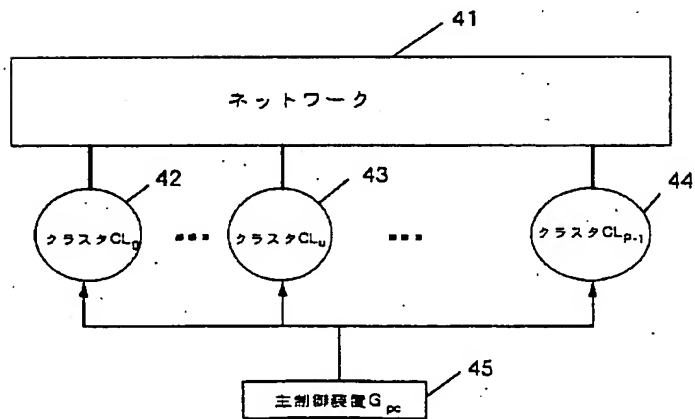
【図4】



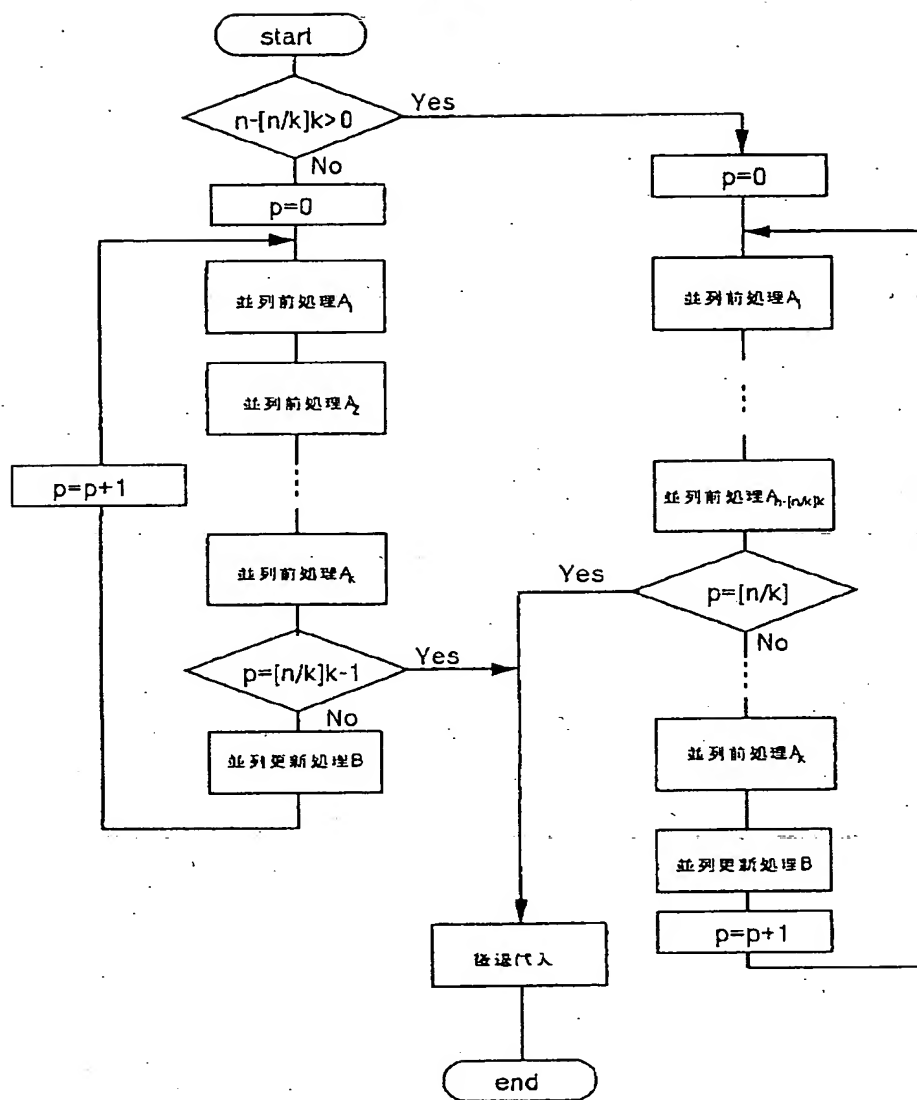
【図6】



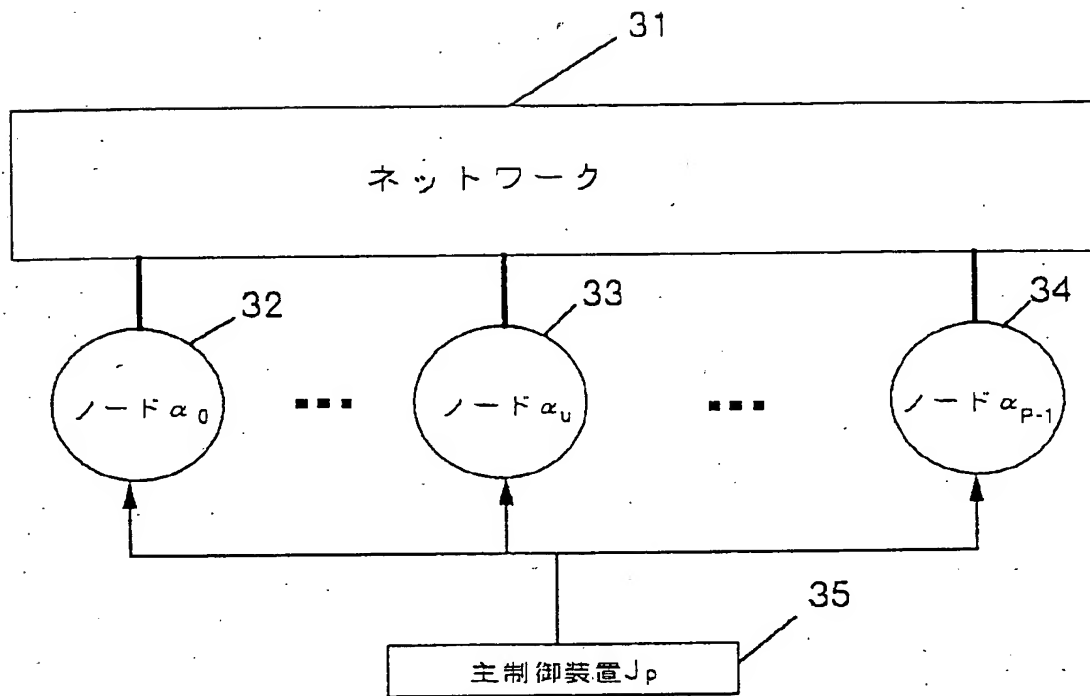
【図1.1】



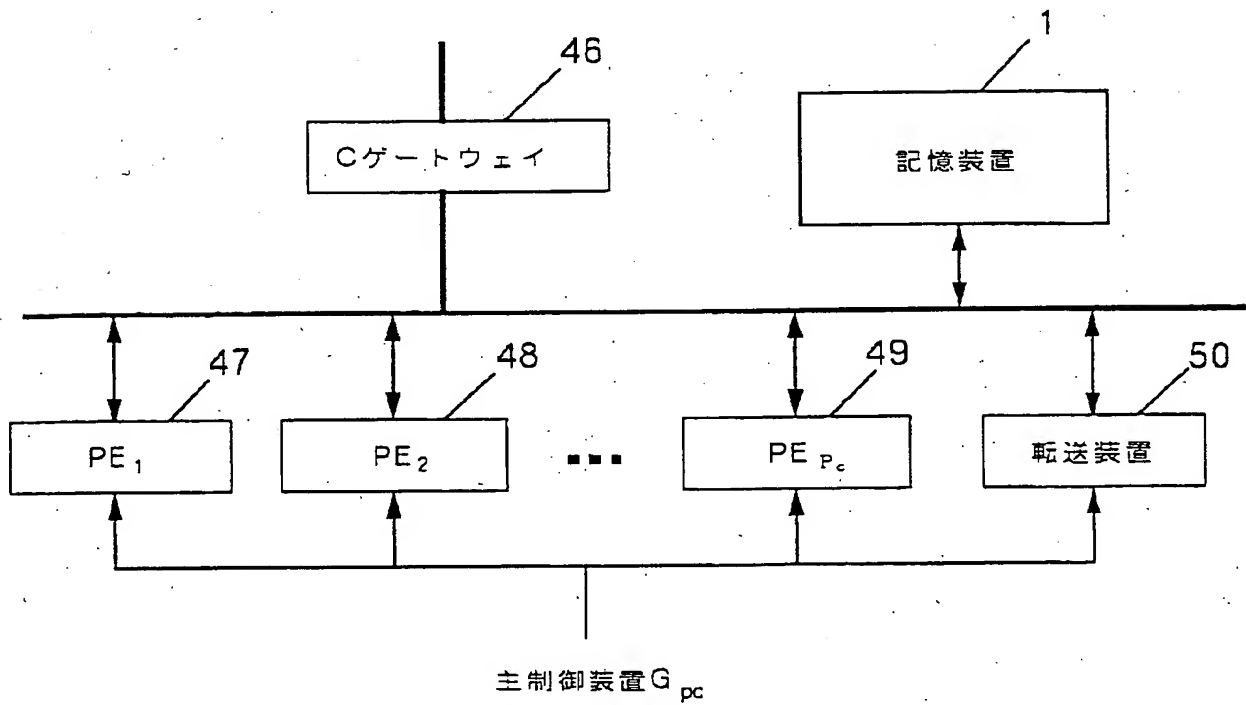
【圖 7】



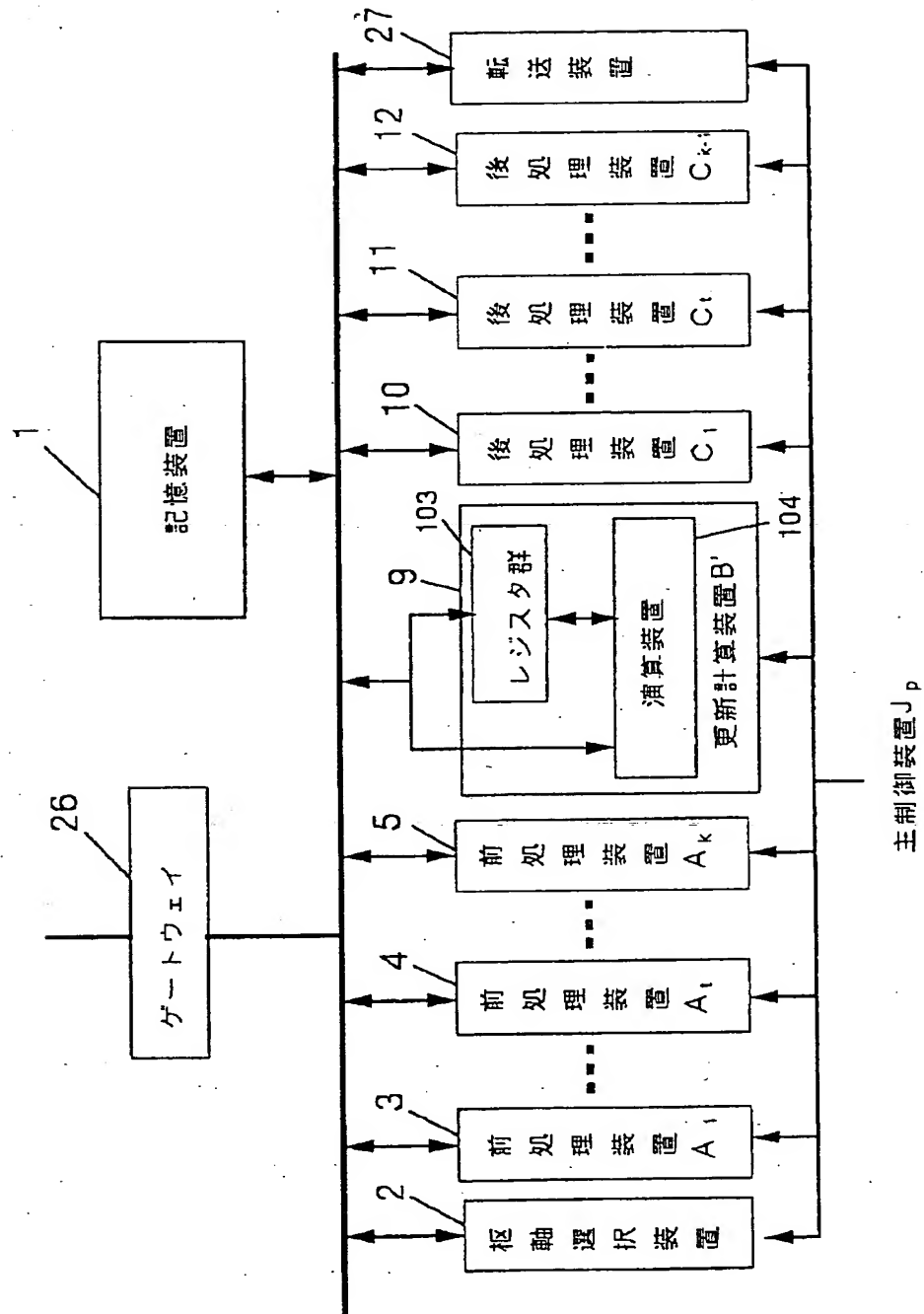
【図8】



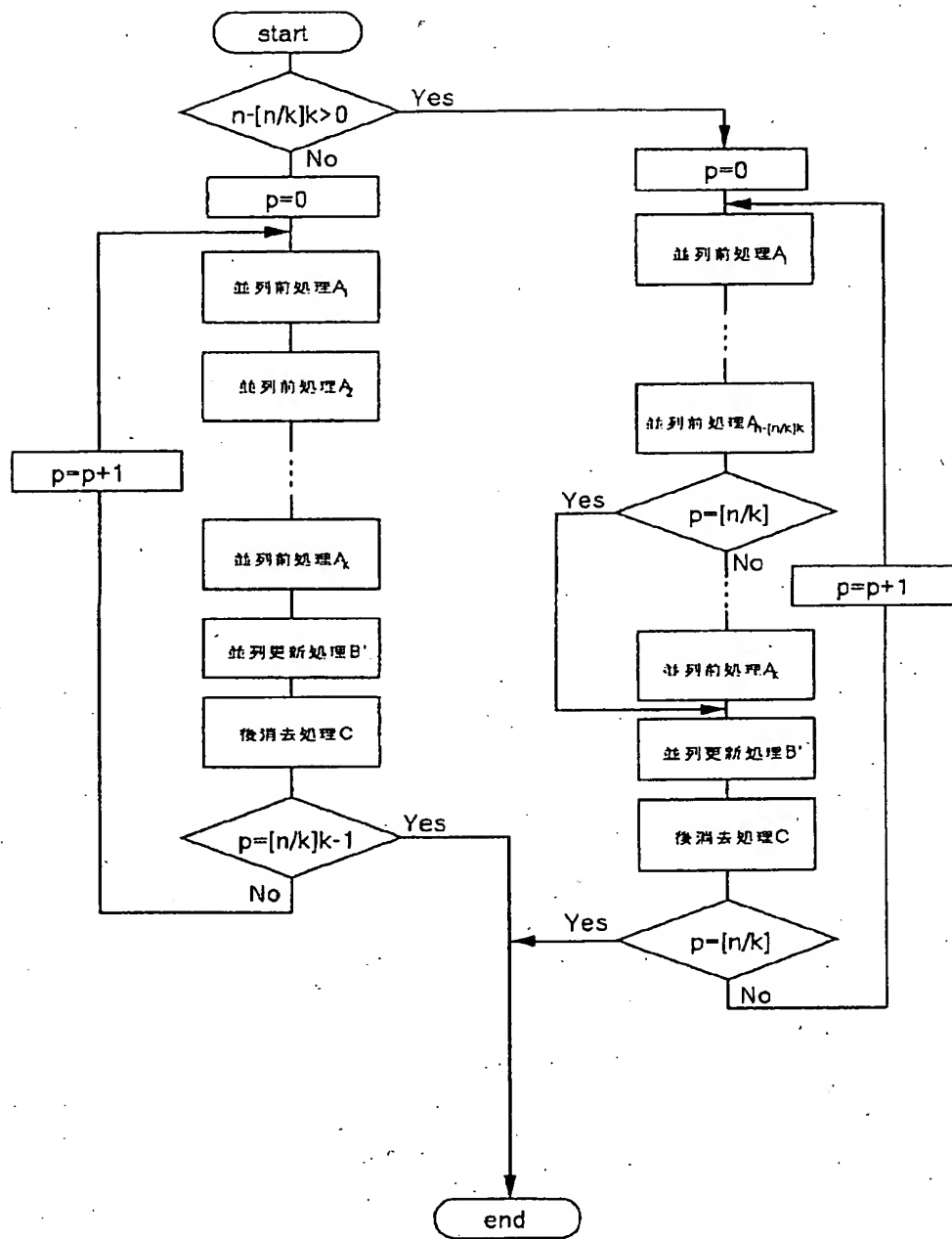
【図12】



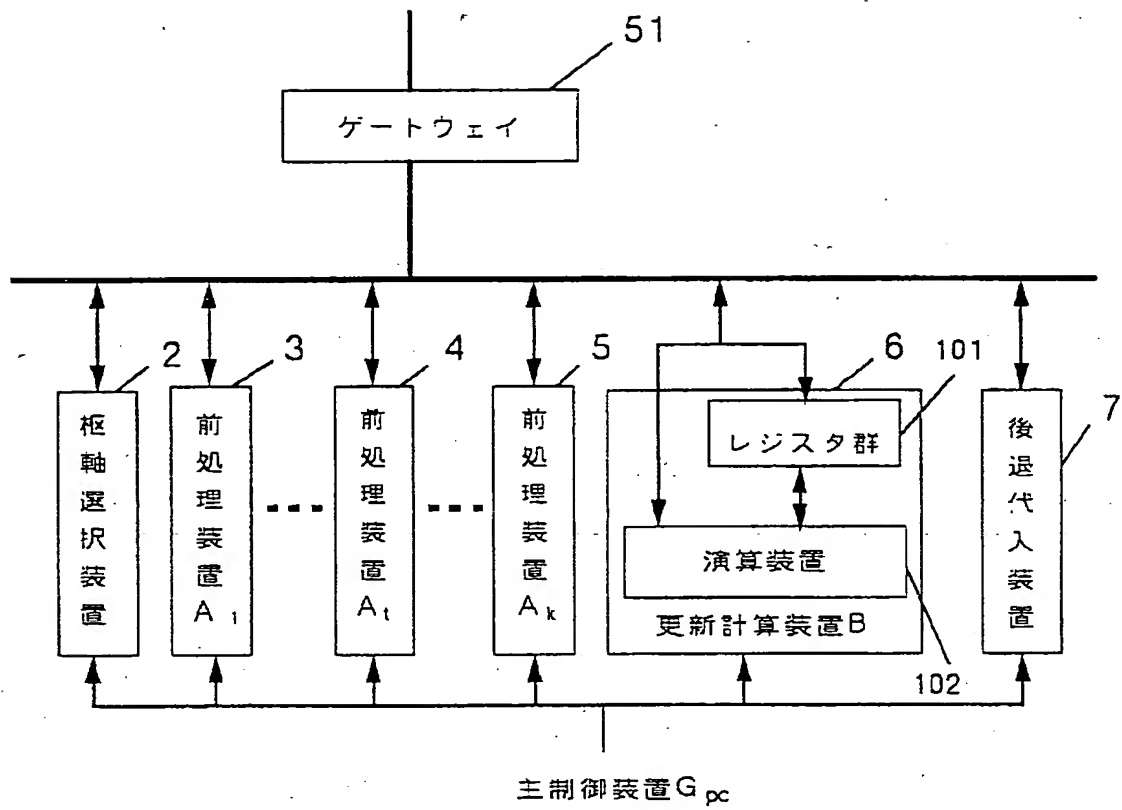
【図9】



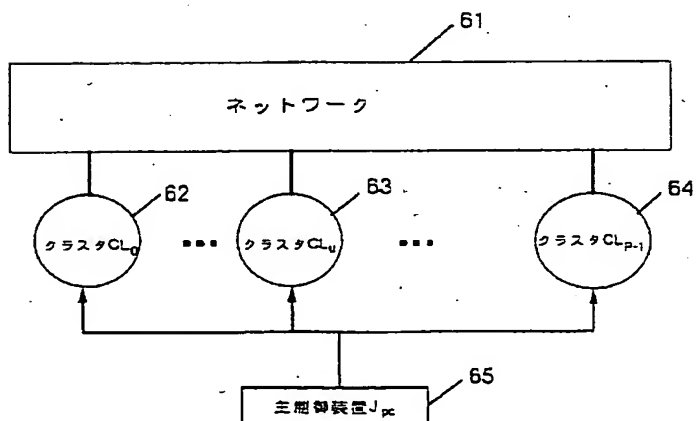
【図10】



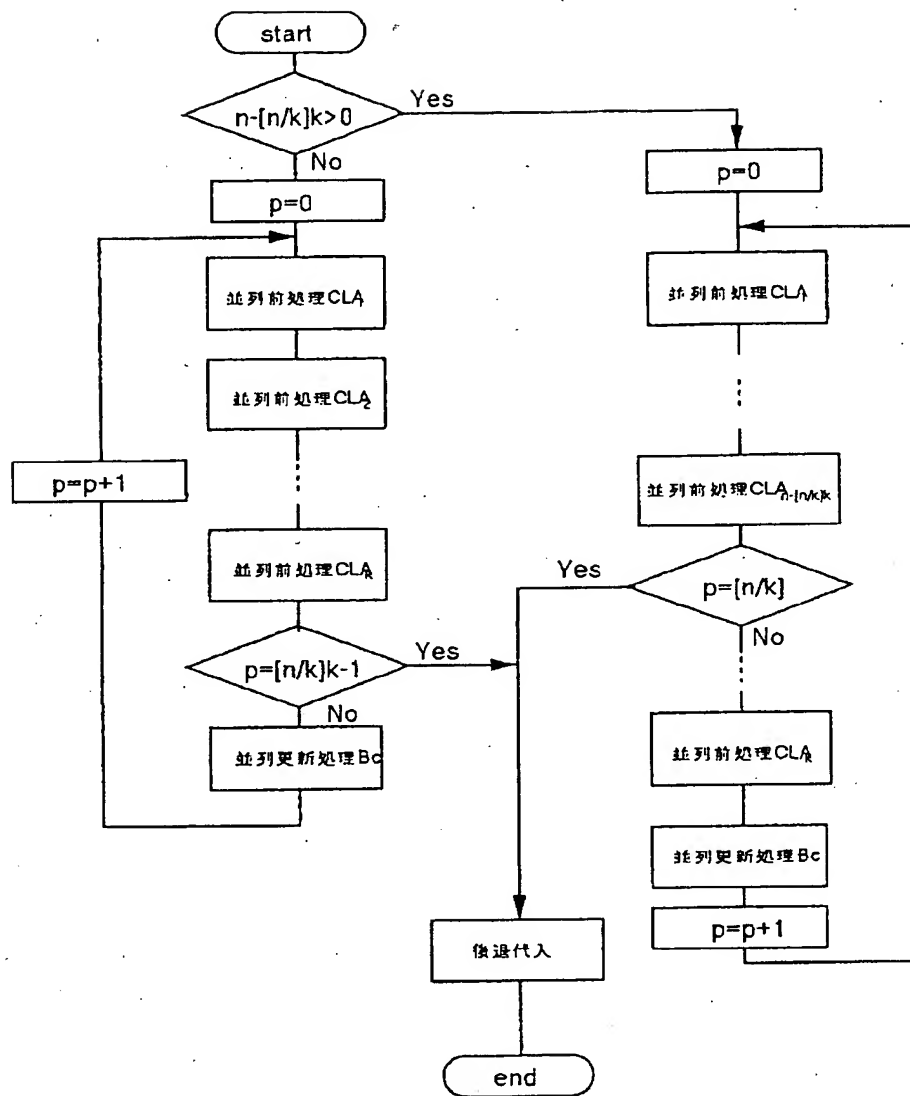
【図13】



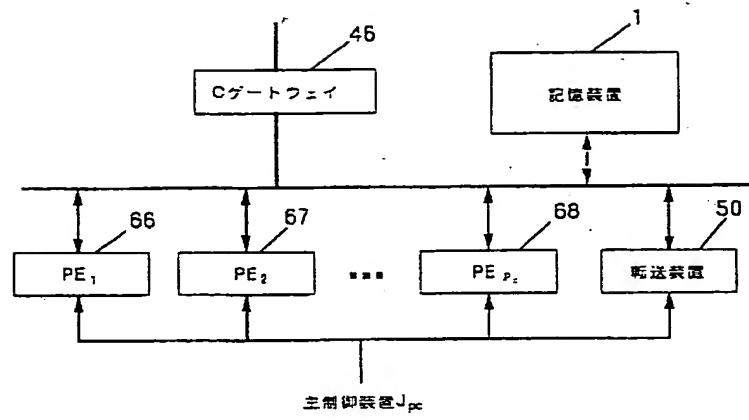
【図15】



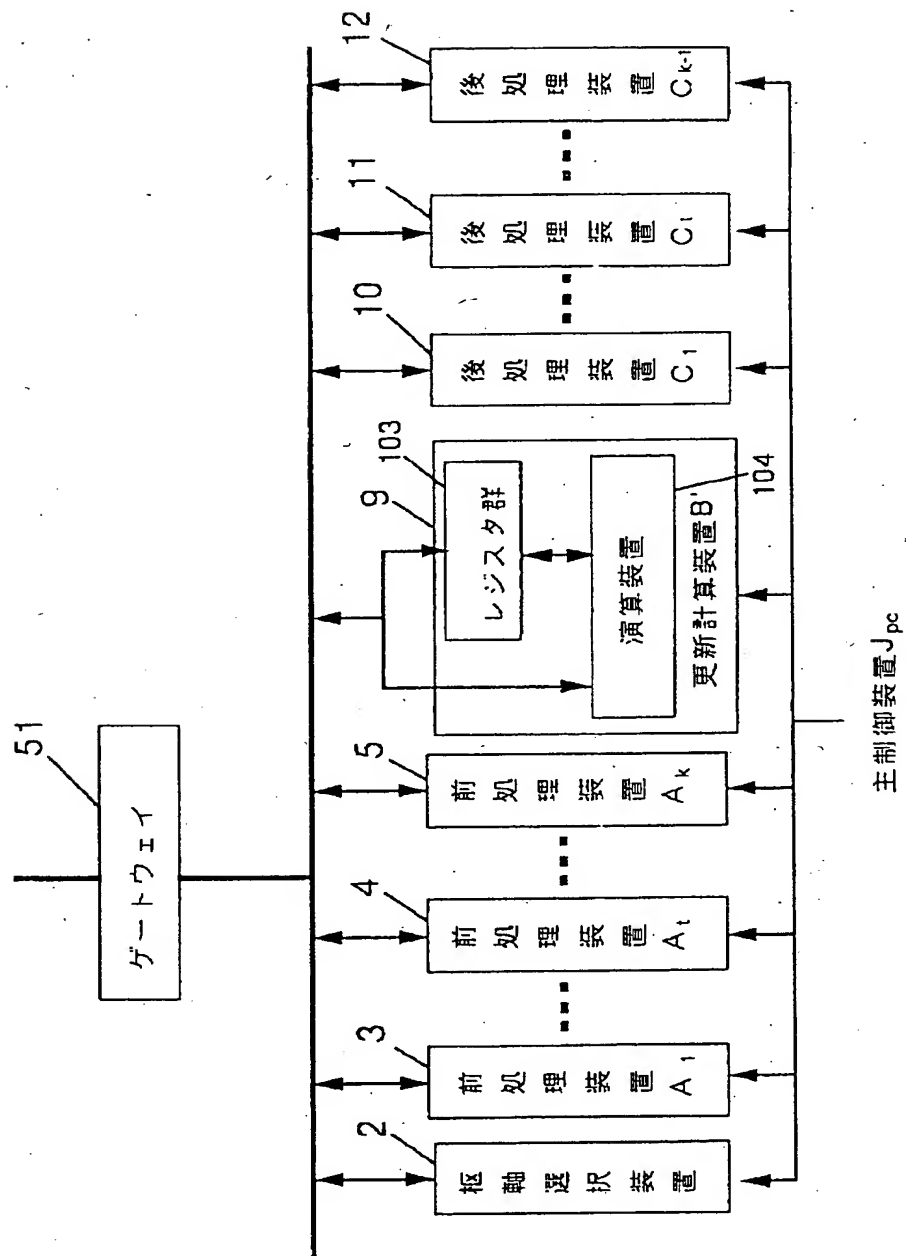
【圖 14】



【図 16】



【図17】



【図18】

